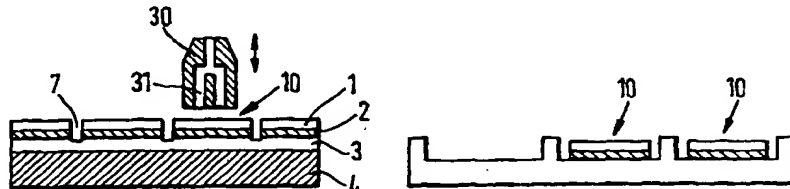


**PCT**WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<b>(51) Internationale Patentklassifikation <sup>7</sup> :</b> <b>H01L 21/78, 21/52</b>		<b>A1</b>	<b>(11) Internationale Veröffentlichungsnummer: WO 00/68990</b>
			<b>(43) Internationales Veröffentlichungsdatum:</b> 16. November 2000 (16.11.00)
<b>(21) Internationales Aktenzeichen:</b> PCT/EP00/03988		<b>(81) Bestimmungsstaaten:</b> AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).	
<b>(22) Internationales Anmeldedatum:</b> 4. Mai 2000 (04.05.00)			
<b>(30) Prioritätsdaten:</b> 199 21 230.9      7. Mai 1999 (07.05.99)      DE			
<b>(71) Anmelder (für alle Bestimmungsstaaten ausser US):</b> GIESECKE & DEVRIENT GMBH [DE/DE]; Prinzregentenstraße 159, D-81677 München (DE).			
<b>(72) Erfinder; und</b> <b>(75) Erfinder/Anmelder (nur für US):</b> GRASSL, Thomas [DE/DE]; Ganzenmüllerstraße 6, D-85354 Freising (DE). HAGHIRI-TEHRANI, Yahya [IR/DE]; Winzererstraße 98, D-80797 München (DE).		<b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.</i> <i>Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
<b>(74) Anwalt:</b> KLUNKER, SCHMITT-NILSON, HIRSCH; Winzererstraße 106, D-80797 München (DE).			

<b>(54) Title:</b> METHOD FOR HANDLING THINNED CHIPS FOR INTRODUCING THEM INTO CHIP CARDS
<b>(54) Bezeichnung:</b> VERFAHREN ZUM HANDHABEN VON GEDÜNNTEN CHIPS ZUM EINBRINGEN IN CHIPKARTEN
<b>(57) Abstract</b> <p>The invention relates to a method for handling thinned chips for introducing them into chip cards. According to the inventive method, first a wafer is bonded with its front face onto a carrier substrate by means of an adhesive layer. Then the wafer is thinned from its back and is subdivided into single chips by sawing into the wafer from the back up to the adhesive layer. The adhesive layer is dissolved and the individual chips are removed from the carrier substrate by means of a suction head and are deposited in a special storage container until further treatment. Alternatively, the chips sawed out from the wafer are provided on their backs with a continuous support film by means of a second adhesive layer and the first adhesive layer is dissolved by means of a method that does not attack the second adhesive layer. The chips that are linked via the support film can be jointly removed from the carrier substrate and can be removed from the support film one by one once the second adhesive layer is removed. The wafer can alternatively be provided with a continuous support film by means of a second adhesive layer before it is sawed from the back. In this case, too, the first adhesive layer is dissolved while the second adhesive layer is conserved and the individual chips that are reinforced by the support film are removed from the carrier substrate.</p>
<b>(57) Zusammenfassung</b> <p>Es werden Verfahren zum Handhaben von gedünnten Chips zum Einbringen in Chipkarten beschrieben. Hierbei wird jeweils zunächst ein Wafer mit seiner Vorderseite mittels einer Kleberschicht auf einem Trägersubstrat aufgeklebt. Dann wird der Wafer von der Rückseite aus gedünnt und durch Einsägen von der Rückseite her bis zur Kleberschicht in einzelne Chips aufgeteilt. Anschließend wird die Kleberschicht aufgelöst und die einzelnen Chips werden vom Trägersubstrat mit einem Saugkopf abgehoben und in einem speziellen Ablagebehälter zur weiteren Verarbeitung abgelegt. Alternativ werden die aus dem Wafer gesägten Chips auf der Rückseite mit einem durchgehenden Trägerfilm mittels einer zweiten Kleberschicht beklebt und dann wird die erste Kleberschicht mit einem Verfahren aufgelöst, welches die zweite Kleberschicht nicht angreift. Die über den Trägerfilm zusammenhängenden Chips können so vom Trägersubstrat gemeinsam abgehoben werden und, nach dem Auflösen der zweiten Kleberschicht, einzeln vom Trägerfilm entnommen werden. Der Wafer kann alternativ auch vor dem Sägen auf der Rückseite mit einem durchgehenden Trägerfilm mittels einer zweiten Kleberschicht beklebt werden. Auch in diesem Fall wird die erste Kleberschicht unter Erhalt der zweiten Kleberschicht aufgelöst und es werden dann die einzelnen durch den Trägerfilm verstärkten Chips vom Trägersubstrat abgehoben.</p>



[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/78

H01L 21/52

## [12] 发明专利申请公开说明书

[21] 申请号 00807283.3

[43] 公开日 2002 年 5 月 22 日

[11] 公开号 CN 1350701A

[22] 申请日 2000.5.4 [21] 申请号 00807283.3

[30] 优先权

[32] 1999.5.7 [33] DE [31] 19921230.9

[86] 国际申请 PCT/EP00/03988 2000.5.4

[87] 国际公布 WO00/68990 德 2000.11.16

[85] 进入国家阶段日期 2001.11.7

[71] 申请人 德国捷德有限公司

地址 德国慕尼黑

[72] 发明人 托马斯·格拉斯尔

亚亚·哈吉里-泰拉尼

[74] 专利代理机构 北京市柳沈律师事务所

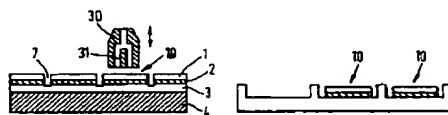
代理人 李晓舒 魏晓刚

权利要求书 4 页 说明书 8 页 附图页数 5 页

[54] 发明名称 一种处理装入智能插卡的削薄的芯片的方法

[57] 摘要

说明了各种用于处理各削薄的芯片以便装在各智能插卡之中的方法。一晶片在任何情况下借助于一粘接层以其前侧首先胶接于一载体衬底。然后此晶片从后侧被削薄并通过从后侧锯开而达到粘接层来被分割成为各个芯片。粘接层然后被溶解而各个芯片用一吸头提起而离开载体衬底并被投放在一特制托盘之内用于进一步加工处理。另外,从晶片锯出的各芯片借助于一第二粘接层以一连串的载体薄膜胶接在后侧上而第一粘接层然后用一种不会破坏第二粘接层的方法加以溶解。由载体薄膜接合起来的各芯片因而可以一起被提起而离开载体衬底而在溶解第二粘接层之后分别地被从载体薄膜上取出。晶片可以另外在锯切之前借助于一第二粘接层用一连串的载体薄膜胶接在后侧上。在此情况下,同样,第一粘接层被溶解而保持第二粘接层,而由载体薄膜加强的各个芯片然后被提起而离开载体衬底。



知识产权出版社出版

ISSN 1008-4274

## 权 利 要 求 书

1. 一种用于处理装在各智能插卡(20)之中的各削薄芯片(10)的方法, 包括以下各方法步骤:

- 5       借助于一粘接层(3)将一晶片(1)以其前侧粘于一载体衬底(4),  
       从后侧削薄晶片(1),  
       通过从后侧锯切晶片(1)至或进入粘接层(3)或进入载体衬底(4)而把晶片(1)分割成为各个芯片(10),  
       溶解粘接层(3),  
 10       用一吸头(30)将各个芯片(10)提离载体衬底(4)以便存放在一特定托盘(40)之中和/或用于进一步处理。

2. 一种用于处理装在各智能插卡(20)之中的各削薄芯片(10)的方法, 包括以下各方法步骤:

- 借助于一粘接层(3)将一晶片(1)以其前侧粘接于一载体衬底(4),  
 15       从后侧削薄晶片(1),  
       通过从后侧锯切晶片(1)至或进入粘接层(3)或进入载体衬底(4)而把晶片(1)分割成为各个芯片(10),  
       借助于一第二粘接层(6)在从晶片(1)锯出的各芯片(10)的后侧上粘接一连续的载体薄膜(5),  
 20       用一种不会破坏第二粘接层(6)的方法溶解第一粘接层(3),  
       将由载体薄膜(5)接合的各芯片(10)连同载体薄膜(5)一起提离载体衬底(4),  
       溶解第二粘接层(6)并将各个芯片(10)提离载体薄膜(5)。

3. 一种用于处理装在各智能插卡(20)之中的各削薄芯片(10)的方法, 包括以下各方法步骤:

- 借助于一粘接层(3)将一晶片(1)以其前侧粘接于一载体衬底(4),  
       从后侧削薄晶片(1),  
       借助于一第二粘接层(6)在晶片(1)后侧上粘接一连续的载体薄膜(5),  
       通过从晶片(1)的后侧锯切载体薄膜(5)粘接其上的晶片(1)至或进入第一  
 30       粘接层(3)或进入载体衬底(4)而把晶片(1)分割成为各个芯片(10),  
       用一种不会破坏第二粘接层(6)的方法溶解第一粘接层(3),

将各个芯片(10)连同载体薄膜(5)一起脱离载体衬底(4)。

4. 按照权利要求 2 或 3 所述的方法, 其特征在于, 第一粘接层(3)由一种在一定波长范围的光作用下分解的粘接剂构成, 而第二粘接层(6)由一种在所述光作用下固化的粘接剂构成。

5. 按照权利要求 2 或 3 所述的方法, 其特征在于, 第一粘接层(3)由一种在热作用下分解的粘接剂构成, 而第二粘接层(6)由一种在热作用下固化的粘接剂构成。

6. 按照权利要求 2 或 3 所述的方法, 其特征在于, 第一粘接层(3)由一种水溶性粘接剂构成, 以及/或者第二粘接层(6)由一种抗溶剂的粘接剂构成。

7. 按照权利要求 2 或 3 所述的方法, 其特征在于, 第一粘接层(3)由一种在氧等离子体作用下或在某一气体环境中分解的粘接剂构成, 而第二粘接层(6)由一种阻抗所述条件的粘接剂构成。

8. 按照权利要求 1 至 7 中任一项所述的方法, 其特征在于, 载体衬底(4)与晶片(1)和载体衬底(4)之间的粘接层(3)一起以及/或者代替所述粘接层(3)溶解。

9. 按照权利要求 8 所述的方法, 其特征在于, 载体衬底(4)由一种在等离子体中和/或在气体作用下和/或在高温下分解的材料构成和/或是水溶性的。

10. 按照权利要求 1 至 9 中任一项所述的方法, 其特征在于, 一些位置标记(8)施用在各芯片(10)和/或载体薄膜(5)的后侧。

11. 按照权利要求 1 至 10 中任一项所述的方法, 其特征在于, 各芯片(10)以其各前侧装接于一设置有各导电通路(11)的第一智能插卡箔片(21)。

12. 按照权利要求 1 至 10 中任一项所述的方法, 其特征在于, 各芯片(10)以其各后侧装接于一第一智能插卡箔片(21)并接触于各导电通路(11)。

13. 按照权利要求 11 或 12 所述的方法, 其特征在于, 第一智能插卡箔片(21)在对置于芯片(10)的表面上设置有经由各导电通路(11)连接于芯片(10)的各接触区域(23), 以及如此制作的芯片模块各接触区域(23)朝外地装进一智能插卡(20)的凹穴(24)。

14. 按照权利要求 11 或 12 所述的方法, 其特征在于, 带有芯片(10)的第一智能插卡箔片(21)用一第二智能插卡箔片(22)盖住, 而两个智能插卡箔片(21, 22)叠合在一起。

15. 按照权利要求 14 所述的方法, 其特征在于, 第一智能插卡箔片(21)经过预先处理, 以致芯片(10)粘接于第一智能插卡箔片(21)直至它被第二智能插卡箔片(22)盖住。

16. 按照权利要求 15 所述的方法, 其特征在于, 第一智能插卡箔片(21)印刷有一种导电粘接膏剂, 以致芯片(10)粘接于第一智能插卡箔片(21)直至它被第二智能插卡箔片(22)盖住, 以及同时在电气上保持接触。

17. 按照权利要求 1 至 10 中任一项所述的方法, 其特征在于, 各芯片(10)以其后侧装接于一第一智能插卡箔片(21), 而带有芯片(10)的第一智能插卡箔片(21)用一在相应各位置处配设有各导电通路(11)的第二智能插卡箔片(22)盖住, 以及两个智能插卡箔片(21, 22)叠合在一起。

18. 一种用于将特别是按照权利要求 1 至 10 中任一项所述的削薄的芯片(10)装进一智能插卡(20)的方法, 其特征在于, 芯片(10)从外部装接于智能插卡(20)的一个表面。

19. 按照权利要求 18 所述的方法, 其特征在于, 芯片(10)以其前侧指向外面地装接于智能插卡(20)的表面并配置一些导电通路(11)。

20. 按照权利要求 18 或 19 所述的方法, 其特征在于, 芯片(10)装进智能插卡(20)表面上的一凹穴(27)。

21. 按照权利要求 18 至 20 中任一项所述的方法, 其特征在于, 芯片(10)在热作用下被齐平地压入智能插卡(20)的表面。

22. 按照权利要求 18 至 21 中任一项所述的方法, 其特征在于, 位于智能插卡(20)表面上的芯片(10)涂有防护漆(12)。

23. 按照权利要求 11 至 22 中任一项所述的方法, 其特征在于, 各导电通路(11)借助于一种印刷或模压方法予以施加。

24. 按照权利要求 2 和权利要求 12 至 23 中任一项所述的方法, 其特征在于, 芯片(10)被脱离载体薄膜(5)并装在智能插卡箔片(21)或智能插卡(20)的表面上。

25. 按照权利要求 24 所述的方法, 其特征在于, 芯片(10)借助于已溶解的第二粘接层(6)的粘接剂粘接在插卡箔片(20)上。

26. 按照权利要求 25 所述的方法, 其特征在于, 芯片(10)用一吸头(30)脱离载体箔片(5)并装接于插卡箔片(20), 第二粘接层(6)在热量作用下被溶解。

27. 一种智能插卡(20), 带有至少一个设置在智能插卡(20)一表面上的削薄的芯片(10)。

28. 按照权利要求 27 所述的智能插卡, 其特征在于, 芯片(10)以其前侧向外地设置在智能插卡(20)上, 而各导电通路(11)在外侧上施加于智能插卡  
5 (20)和芯片(10)。

29. 按照权利要求 27 或 28 所述的智能插卡, 其特征在于, 各导电通路(11)是印制的。

30. 按照权利要求 27 至 29 中任一项所述的智能插卡, 其特征在于, 芯片(10)设置在智能插卡(20)表面上的一凹穴(27)之中。

10 31. 按照权利要求 27 至 30 中任一项所述的智能插卡, 其特征在于, 芯片(10)被齐平地压入智能插卡(20)的表面。

32. 按照权利要求 27 至 31 中任一项所述的智能插卡, 其特征在于, 芯片(10)涂有一种防护漆(12)。

## 说明书

一种处理装入智能插卡  
的削薄的芯片的方法

5

## 技术领域

本发明涉及一种处理削薄的芯片以便装入智能插卡的方法。

## 背景技术

10

削薄的晶片一段时间内一直用于制作直立集成电路结构(VIC)。

15

DE 4433846 A1 说明了这样一种 VIC 的制作, 其中一晶片, 在此是一所谓的顶部衬底, 首先以其前侧, 亦即各层元件位置所在的有效的或起作用的 IC 区域, 借助于一粘接层被胶接于一所谓的处理衬底, 而后从后侧被削薄。削薄是比如通过湿式化学蚀刻或者通过机械式或化学-机械式研磨予以完成的。这样一个顶部衬底然后设置一粘接层, 以经过精确调节的方式装在一所谓的底部衬底上并与之连接。然后取下处理衬底。

20

EP 0531723 B 阐述了一种类似的方法, 其中一第一电路元件以其有效区域固紧于一载体, 而后从后侧削薄。然后另一电路元件装在削薄的芯片的后侧上并借助于先前制作在削薄的芯片后侧上的各接触焊点与之连接。然后装好的电路元件同样从后侧削薄, 配置各接触焊点和装上的另一电路元件。这一步骤重复几次直至所需要的多元件装置最终从叠置的各元件建成。

25

所有这些方法只是说明了在一方法阶段上各芯件的处理, 在此阶段上, 各芯片或是尚未削薄或是已经组装到一稳定的装置里面。没有提供任何一些方法用于处理各个削薄的芯片以便把它们装入各智能插卡。在至今用于智能插卡制作之中的各种方法和工具的情况下, 这一点尤其是不可能的。不过, 由于削薄的芯片在智能插卡中的特有挠性, 而插卡经受很高的弯曲和扭转应力, 所以很希望使用削薄的芯片。

## 发明内容

30

因此本发明基于提供一种用于分别地处理削薄芯片并把它们装入各智能插卡的方法这一问题。

这一问题是通过一种符合权利要求1、2或3的方法加以解决的。

任何情况下的起点是，一晶片借助一粘接层以其前侧，即各元件位置所在处，胶接于一载体衬底。此晶片然后从后侧削薄。削薄之后，晶片通过从后侧锯进晶片而分割成为各个芯片。锯切可以进行得达到或进入粘接层或甚至进入载体衬底。

按照本发明，有多种方式提起各芯片而离开载体衬底并使它们单独分开。

按照权利要求1，粘接层被溶解，而各个芯片用一吸头提起而离开载体衬底。它们然后最好是投放在一特制托盘之中用于进一步加工处理。在此方法中，各芯片横放在特制托盘之中，以其后侧朝向。另外，各芯片当然也可以立即处理，比如立即装在一智能插卡或智能插卡箔片上。

权利要求2按照本发明提供了另一方法步骤，其中仍然位于载体衬底上的各个芯片在锯切之后借助于一第二粘接层用一连续的载体薄膜胶接在后侧上。第一粘接层然后用一种保留第二粘接层的方法予以溶解。各芯片然后可以在由载体薄膜接合起来之后被一起提起而离开载体衬底。然后有可能通过溶解第二粘接层而从载体薄膜上取下各个芯片。在此也可以借助于一吸头或类似器具完成取下步骤。在此方法中，芯片的有效前侧因此是在顶部的。

按照权利要求3，按照本发明提供的是，所述载体薄膜在削薄晶片之后直接胶接上，而晶片只在此时被锯成小片而成为各个芯片。此薄膜在装入智能插卡时仍然留在各别芯片上；芯片因而由载体薄膜予以增强并也可以用通常的各种方法和工具予以处理。适当的比如粘塑性材料用于载体箔片允许后者保持较薄而确保芯片-箔片组件具有充分的稳定性。

各芯片当然也可以在后面两种方法的进一步加工处理过程中暂时储放在一托盘之中。

具有不同的方式溶解第一粘接层而同时保留第二粘接层，各自取决于所用各类粘接剂的性质。一些优先的方法在附属权利要求中予以说明。

另外，基本上，载体衬底本身也可能和晶片与载体衬底之间的粘接层一起，或代替所述粘接层，予以溶解。自不待言，为此目的要选择一种不会破坏符合权利要求2或3的各种方法中的第二粘接层的方法。

可以用本发明的各种方法安全和轻易地处理的较薄芯片是比较柔软的并需要比通常的芯片较小的空间。这就为容放芯片在智能插卡之中开辟了新



的可能性。

- 在此，必须在两类方法之间作出区别，一类方法是，各芯片以其前侧装在一比如已经配有各导电通路的智能插卡箔片上或装在智能插卡上(倒装技术)，而另一类方法是，各芯片以其后侧装在智能插卡箔片或智能插卡上，而后各导电通路连接于芯片。哪一种方法比较有利，除了其他因素之外，取决于采用哪一种以前提及的、用于从载体衬底上取下削薄的各芯片的方法，亦即各芯片已经指向哪一个方向。

- 在各芯片必须从后侧予以处理的一些方法中，如果各位置标记施加于各芯片的后侧或施加于载体薄膜，则是有利的。这样的标记可使芯片精确地对正在智能插卡上。一种可荐用的位置标记是应当重现芯片的电路结构。

一种装入方法是把芯片装于一设置在对置于芯片的后侧上的智能插卡箔片，芯片带有一些接触区域，其本身又经由各导电通路穿过箔片连接于芯片。如此制成的芯片模块然后可以装入一带有外部各接触区域的智能插卡的一凹穴，一如智能插卡通常结构的情况。

- 一种替代方法是当两个智能插卡箔片被成层在一起时把各芯片装在两个箔片之间。

在一种特别优选的装入方法中，芯片逐直地装于一智能插卡的表面，此芯片最好是安装得以其前侧指向外部，而智能插卡连同芯片一起随后配置各导电通路。

- 各导电通路在此可以通过一种模压或印刷方法，最好是通过网板印刷，予以施加。由于削薄的芯片尺寸很小，所以它在智能插卡表面上几乎不显笨大。不过，当然也可能把芯片在一浅浅的凹穴之中装在智能插卡表面上。用一种防护漆涂敷外露在表面上的各芯片，是很有利的。

- 这种带有一外部削薄芯片的智能插卡可以以与通常的智能插卡相比显著较少的方法步骤来予以制作，此方法中一通常的芯片容放在一芯片模块中的一特制的凹穴之中。

在所有的装入方法中，有可能既把各外部接触区域装在智能插卡上，也压印出各线圈或各类似元件以便可使无接触数据传出和传向智能插卡。一种两个界面的综合解决办法同样是可能的(双重界面)。

本发明的各种方法将参照所附各简图通过各范例在下面较为详细地予以说明，各图中：

- 图 1 表明一晶片，在其有源区域上借助于一粘接层与一载体衬底连接，  
 图 2a 表明在削薄和分割成为各个芯片之后的符合图 1 的一晶片，  
 5 图 2b 表明在一特制托盘之中的符合图 2 的晶片的两个芯片，  
 图 3a 表明一带有一载体薄膜的经过削薄和锯切的晶片，  
 图 3b 表明由载体薄膜接合起来的各个芯片，  
 图 4a 表明按照图 1 的被固紧于一载体衬底并在分割成为各个芯片之前被削薄的一晶片，  
 10 图 4b 表明按照图 4a 制成的一芯片在一智能插卡上，  
 图 5 表明带有一芯片模块的一智能插卡，  
 图 6 表明一带有各位置标记的削薄芯片的透视图，  
 图 7-9 表明一智能插卡的各变体，此插卡表面上施加有一削薄的芯片以及随后施加接头区域，  
 15 图 10/11 表明通过将两个插卡箔片叠合在一起而制成一智能插卡，  
 图 12/13 一智能插卡的各变体，此插卡表面上施加有一削薄的芯片，而各接头区域业已存在。

### 具体实施方式

- 20 在实施此方法时，晶片 1 首先以其具有各组件(component)2 的前侧胶接于载体衬底 4。所用的载体衬底可以比如是另一晶片、一金属箔片或可磁化箔片，或者另一种在智能插卡制作中常用的箔片，诸如 PVC、ABS、PC 或类似物。

- 25 为此目的，粘接层 3 敷在或是晶片 1 或是载体衬底 4 上，而两部分随后接合起来。

晶片以通常方式包含若干并列设置的电路，后者可以各自构成一标准智能插卡芯片或者另外一存储芯片。

- 30 固紧于载体衬底 4 的晶片 1 然后从后侧削薄到一预定厚度，一如图 1 之中由虚线 9 所示。削薄可以采用通常的各种方法予以实现，比如蚀刻或机械研磨。这样有可能把晶片 1 或由其制作出来的各芯片 10 削薄到低于 100 微米、最好是大约 20 微米的厚度。

按照示于图 2a 和 2b 之中的方法，然后在晶片 1 上从后侧做出锯口 7 而达到粘接层 3，晶片 1 因而被分割为各个芯片 10。粘接层 3 随后被溶解或部分溶解，而各芯片 10 用吸头 30 提离载体衬底 4 并落放到特制的各托盘 40 之中，在那里等候进一步加工处理。用于取下各薄芯片 10 的吸头 30 是比较平的并在抽吸表面上具有几个小孔 31，可以按需要经由一条管线在抽吸空气或压缩空气作用下用于吸起或落放芯片 10。各芯片 10 在插卡制作期间用一机器人以同样方式自各特制托盘 40 中取出并安放就位。

溶解载体衬底 4 的粘接层 3 可以通过热效应予以实现。为此目的，可以采用比如可加热的吸头 30 或一如图 4 之中的单独的热辐射源 34。

图 3a 和 3b 表明另一方法，借此方法，带有各芯片 10 的各组件 2 的有源表面最终位于顶部。为此目的，载体薄膜 5 借助于第二粘接层 6 装放在削薄并锯开的晶片 1 上。所述载体薄膜 5 当然也可以是一种已经配有一粘接层的自粘接箔片。

在把载体薄膜 5 粘贴于晶片 1 后侧之后，第一粘接层 3 可以用一种不会侵袭第二粘接层 6 的方法予以溶解。

具有不同的方式做到这一点。在第一优选方法中，第一粘接层 3 由一种在一定波长范围的光线，比如 UV 光线，作用下分解的粘接剂构成，而第二粘接剂 6 只在所述辐射作用下固化。在第二方法中，第一粘接层 3 由一种在热量作用下分解的粘接剂构成，而第二粘接层 6 只在热量作用下固化。另外，有可能第一粘接层 3 由一种水溶性粘接剂构成而第二粘接剂 6 是非水溶性的，或者第二粘接层 6 是抗溶剂性的而第一粘接层 3 溶解于相应溶剂。其次，有可能第一粘接层 3 由一种在氧等离子体作用下或在一定气体比如臭氧环境中分解的粘接剂构成，而第二粘接剂 6 耐所述各种条件。

另一方式是采用一种方法，借此方法，载体衬底 4 本身与粘接层 3 一起或代替粘接层 3 溶解。载体衬底 4 为此目的可以由泡沫聚苯乙烯或可在等离子体中或在腐蚀气体作用下或在高温下分解的另一材料。或者，所用的载体衬底 4 由纸板或类似的水溶性材料制成。

在溶解第一粘接层 3 或载体衬底 4 之后，由载体薄膜 5 接合起来的各芯片 10 的整个组合体然后可以一起取下，各芯片 10 的有源区域指向外面。各个芯片 10 然后通过溶解第二粘接层 6 而从载体薄膜 5 上取下。

图 4a 和 4b 表明一可能的第三方法，借此方法，一种优选地是粘塑性材

料，诸如聚碳酸酯、酰胺、铜、铝、钢或类似材料的载体薄膜 5，首先借助于粘接层 6 胶接于晶片 1 的后侧。只是此时，晶片 1 才通过做出各锯口 7 而被分割成为各个芯片 10。最后，各个芯片 10 通过溶解第一粘接层 3 或载体衬底 4 被再次取下，在此也应用了一种不会破坏与载体薄膜 5 粘合的粘接剂 5 的方法。在此所用的各方法对应前所提及的各方法。图 4a 示意性地表明各个芯片 10 如何用吸头 30 从载体衬底 4 上取下，粘接层 3 用热辐射器 34 溶解而第二粘接层 6 同时固化。在此方法中，载体薄膜 5 留在各个薄芯片 10 的后侧上。

图 5 至 10 表明削薄的各芯片 10 如何可以容放在智能插卡 20 之内或以上的不同变体。

取决于按照图 2、3 或 4 的制作方法的选择，合适地是以前侧或其后侧将各芯片 10 装放在智能插卡 20 或智能插卡箔片 21 上。如果芯片 10 以前侧装放在智能插卡 10 或智能插卡箔片 21 上，有益的是，首先装设用于使芯片 10 接触插卡 20 或箔片 21 的各导电通路 11，而后把芯片 10 定位在上面。为此目的，芯片 10 在其后侧上具有一些位置标记 8，一如图 6 之中所示，它们比如印制或蚀刻在芯片 10 或载体箔片 5 上。

图 5 表明一项类似于传统各芯片模块的已知结合方法的结合实例。芯片 10 首先装放在第一智能插卡箔片 21 上。在智能插卡箔片 21 的对置的后侧上是各接触区域 23，借助于导电粘接剂经由穿过智能插卡箔片 21 的各导电通路 11 连接于芯片 10。在芯片 10 与第一智能插卡箔片 21 之间可以有分层 (subdivision) 15。这样构成的芯片模块被插进智能插卡 20 的相应凹穴 24 并用适当的粘接剂 25 四处胶接起来。

图 10 和 11 表明不同的叠层方法，其中芯片 10 设置在智能插卡 20 中的两个智能插卡箔片 21 与 22 之间。智能插卡箔片 21、22 的特性是具有一 100-300 微米的厚度。在按照图 10a 的方法中，芯片 10 装接于智能插卡箔片 21，而各导电通路 11 位于另一智能插卡箔片 22 上。芯片 12 以其后侧装于智能插卡箔片 21。两个智能插卡箔片然后彼此叠置以便配装，并且叠合在一起，以致芯片 10 接触于各导电通路 11(图 10b)。

在按照图 11a 的方法中，各导电通路 11 首先装接于一个智能插卡箔片 21 上。然后芯片 10 以前侧向下地安放在各导电通路 11 上，以致接触同时发生，第二智能插卡箔片 22 然后叠合在它上面(图 11b)。

各导电通路在任何情况下引向一外部接触区域或一允许非接触数据传输(contactless data transfer)的接口元件, 或者它们本身构成这样一个元件。为了把芯片 10 固定在第一智能插卡箔片 21 上直至它在叠合期间由第二智能插卡箔片 22 盖住, 第一智能插卡箔片 21 的表面可以用一种氧或氟等离子体加以预处理, 以致芯片 10 粘合于此表面直至盖住或叠合处理。在按照图 11a 和 11b 的方法中, 表面也可以印刷一种导电银膏而同时构成各导电通路 11, 以致芯片 10 粘接于智能插卡箔片 21 直至盖住和叠合处理, 并同时在电气上保持接触。

当然也可以把一种粘接剂涂于削薄的芯片 10 或使用一种涂敷粘接剂的箔片作为智能插卡箔片 21。特别是当各芯片 10 按照示于图 3a 和 3b 之中的方法制作时, 可以通过部分地溶解粘接剂把芯片 10 直接脱离载体薄膜 5, 并把它用所述粘接剂胶接于智能插卡箔片 21, 在此, 粘接剂然后可以再次凝固。

图 7、8 和 9 表明一种全新的方法, 其中削薄的芯片径直地装在一智能插卡的表面上, 而后印刷各导电通路 11。芯片 10 还涂敷有防护漆 12。为了印刷各导电通路 11, 优先采用一种网板印刷方法。当然也可以应用状为一金属箔片的各导电通路 11。

图 12a 至 12c 表明一些实施例, 其中各导电通路首先设于表面, 然后以前侧向下的方式把芯片安放在各接头区域 11 上。在图 12b 中, 另外的漆和/或粘接层 13 设置在集成电路 10 与智能插卡 20 的表面之间, 而在图 12c 中, 芯片/导电通路总成 10、11 用加热的模具 14 压进插卡表面。

在图 8 和 9 中, 薄芯片 10 同样直接位于智能插卡 20 的表面上, 但是在微小凹穴 27 之内。凹穴 27 或是模压或是铣制在智能插卡 20 上的, 或在制作智能插卡 20 期间就已经注射模制出来。另外, 凹穴 27 是通过相应地印刷防护漆 26 或通过装设一带窗口的防护箔片而制成(图 9)。

相应的一些组件, 其中各接触区域 11 首先设置在智能插卡 20 表面的各间隙之中, 芯片 10 被而后安放在上面, 示于图 13a 至 13c 之中。

在示于图 13c 之中的实例中, 芯片在热量的作用下被齐平地压入智能插卡 20 的表面。在一符合图 7(尚不存在各接头区域 11)的实施例中, 芯片与表面齐平的箔片可以比如刷以银膏、进行涂敷和可能地同时予以接触。

所有这些后面的结合实例, 使一芯片外露在智能插卡的表面上, 包含一

种新颖和特别有利的结构，与通常的各种方法相比，能够以较少的方法步骤制作出来。

说明书附图

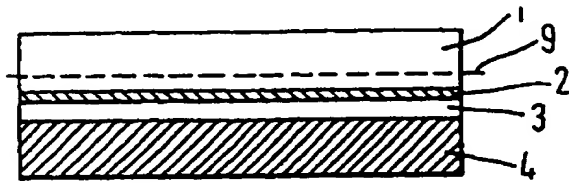


图 1

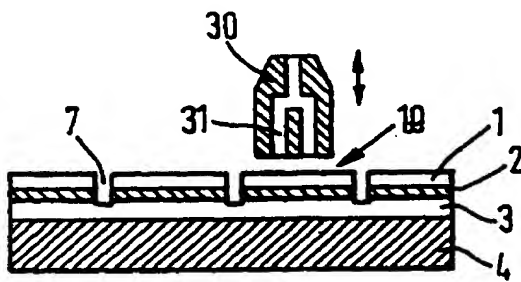


图 2a

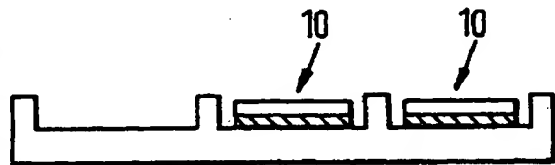


图 2b

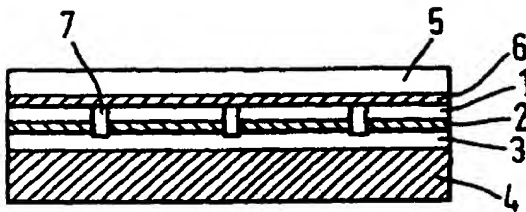


图 3a

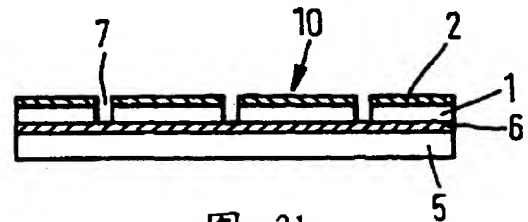


图 3b

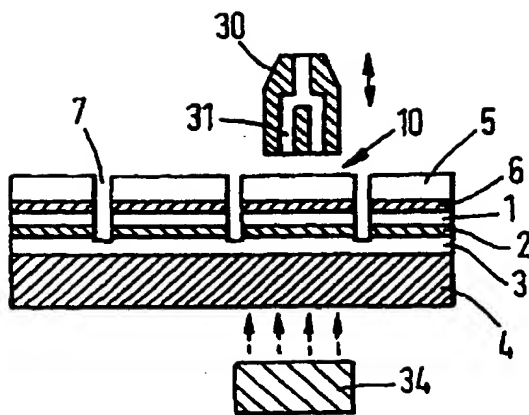


图 4a

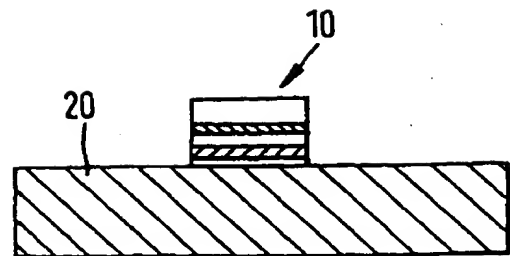


图 4b

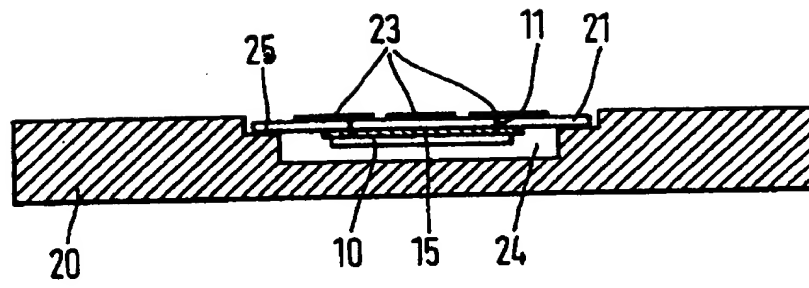


图 5

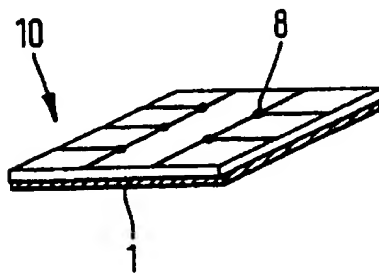


图 6



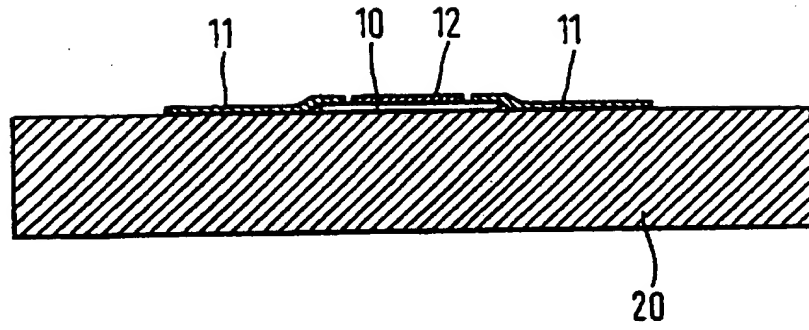


图 7

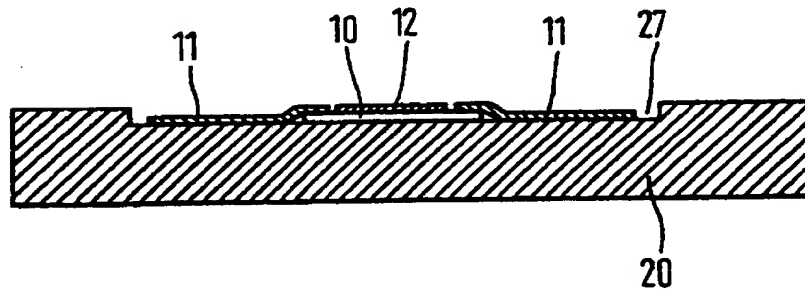


图 8

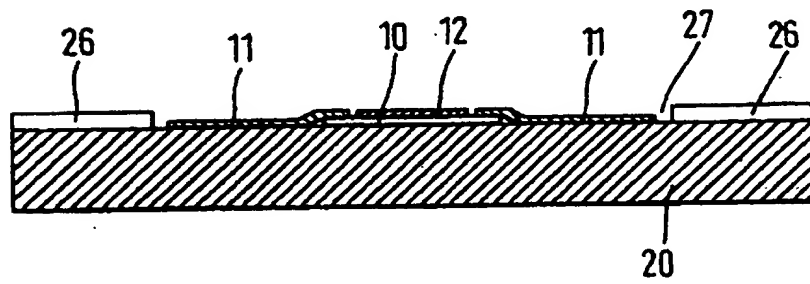


图 9

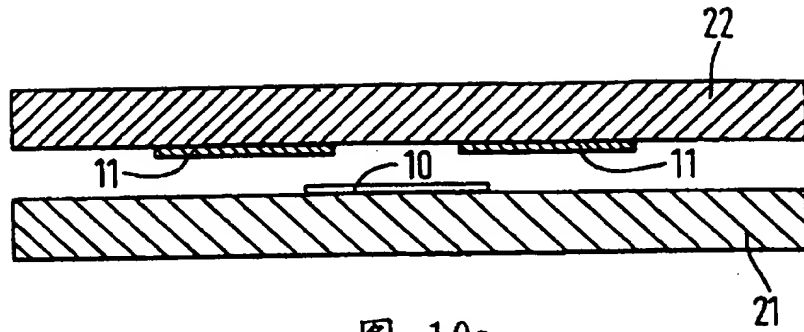


图 10a

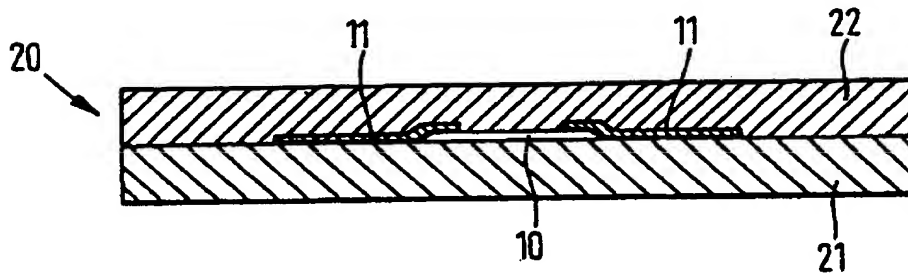


图 10b

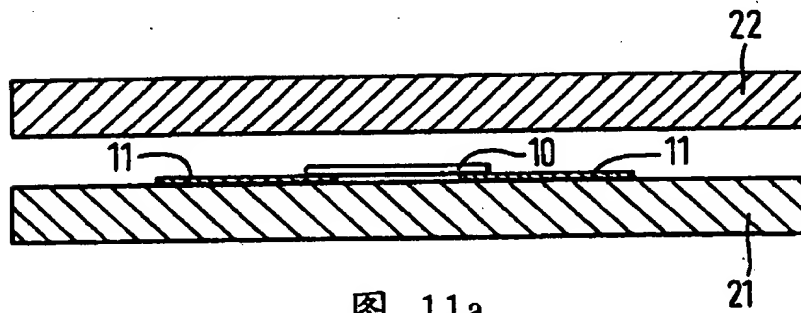


图 11a

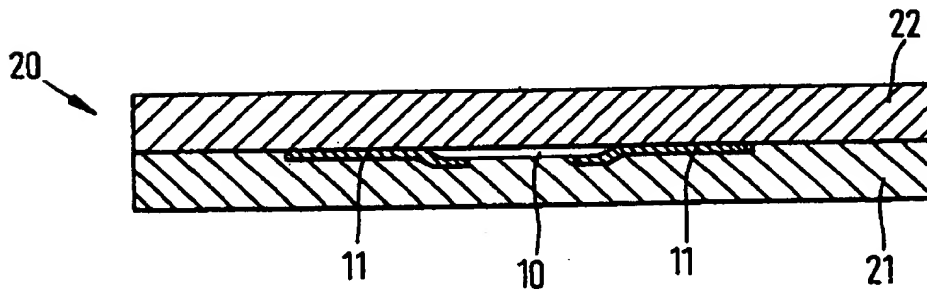


图 11b

FIG. 12a

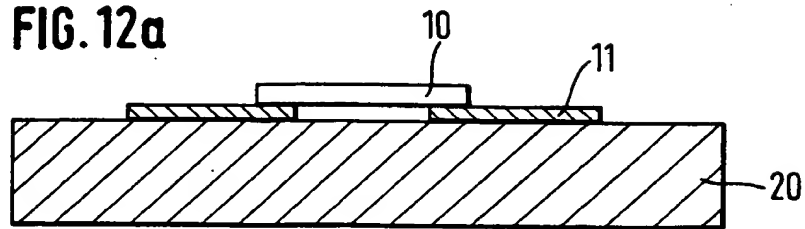


FIG. 12b

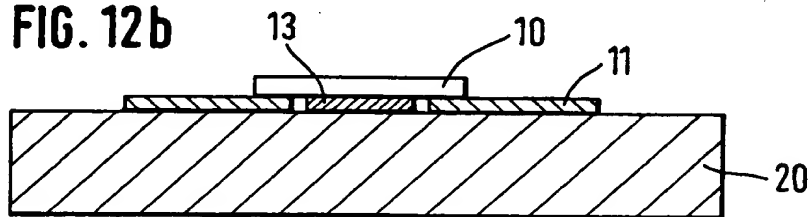


FIG. 12c

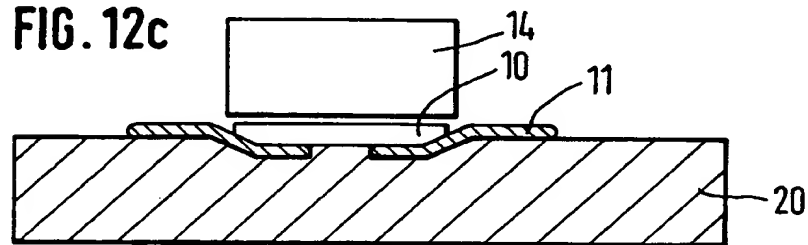


FIG. 13a

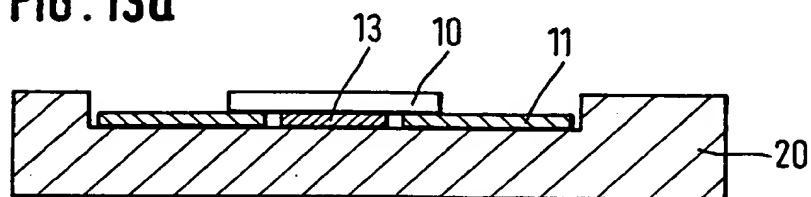


FIG. 13b

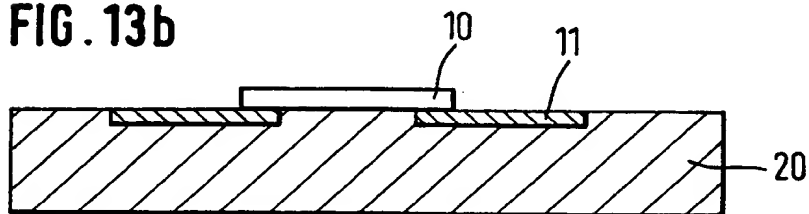
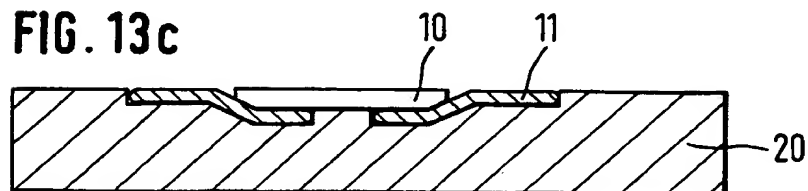


FIG. 13c





INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<p>(51) Internationale Patentklassifikation <sup>7</sup> : <b>H01L 21/78, 21/52</b></p>	<p><b>A1</b></p>	<p>(11) Internationale Veröffentlichungsnummer: <b>WO 00/68990</b></p> <p>(43) Internationales Veröffentlichungsdatum: 16. November 2000 (16.11.00)</p>
<p>(21) Internationales Aktenzeichen: PCT/EP00/03988</p> <p>(22) Internationales Anmeldedatum: 4. Mai 2000 (04.05.00)</p> <p>(30) Prioritätsdaten: 199 21 230.9 7. Mai 1999 (07.05.99) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): GIESECKE &amp; DEVRIENT GMBH [DE/DE]; Prinzregentenstraße 159, D-81677 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): GRASSL, Thomas [DE/DE]; Ganzenmüllerstraße 6, D-85354 Freising (DE). HAGHIRI-TEHRANI, Yahya [IR/DE]; Winzererstraße 98, D-80797 München (DE).</p> <p>(74) Anwalt: KLUNKER, SCHMITT-NILSON, HIRSCH; Winzererstraße 106, D-80797 München (DE).</p>	<p>(81) Bestimmungsstaaten: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).</p> <p><b>Veröffentlicht</b> Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</p>	
<p>(54) Title: METHOD FOR HANDLING THINNED CHIPS FOR INTRODUCING THEM INTO CHIP CARDS</p> <p>(54) Bezeichnung: VERFAHREN ZUM HANDHABEN VON GEDÜNNTEN CHIPS ZUM EINBRINGEN IN CHIPKARTEN</p> <p>(57) Abstract</p> <p>The invention relates to a method for handling thinned chips for introducing them into chip cards. According to the inventive method, first a wafer is bonded with its front face onto a carrier substrate by means of an adhesive layer. Then the wafer is thinned from its back and is subdivided into single chips by sawing into the wafer from the back up to the adhesive layer. The adhesive layer is dissolved and the individual chips are removed from the carrier substrate by means of a suction head and are deposited in a special storage container until further treatment. Alternatively, the chips sawed out from the wafer are provided on their backs with a continuous support film by means of a second adhesive layer and the first adhesive layer is dissolved by means of a method that does not attack the second adhesive layer. The chips that are linked via the support film can be jointly removed from the carrier substrate and can be removed from the support film one by one once the second adhesive layer is removed. The wafer can alternatively be provided with a continuous support film by means of a second adhesive layer before it is sawed from the back. In this case, too, the first adhesive layer is dissolved while the second adhesive layer is conserved and the individual chips that are reinforced by the support film are removed from the carrier substrate.</p> <div data-bbox="641 1176 1364 1375"> </div> <p>(57) Zusammenfassung</p> <p>Es werden Verfahren zum Handhaben von gedünnten Chips zum Einbringen in Chipkarten beschrieben. Hierbei wird jeweils zunächst ein Wafer mit seiner Vorderseite mittels einer Kleberschicht auf einem Trägersubstrat aufgeklebt. Dann wird der Wafer von der Rückseite aus gedünnt und durch Einsägen von der Rückseite her bis zur Kleberschicht in einzelne Chips aufgeteilt. Anschließend wird die Kleberschicht aufgelöst und die einzelnen Chips werden vom Trägersubstrat mit einem Saugkopf abgehoben und in einem speziellen Ablagebehälter zur weiteren Verarbeitung abgelegt. Alternativ werden die aus dem Wafer gesägten Chips auf der Rückseite mit einem durchgehenden Trägerfilm mittels einer zweiten Kleberschicht beklebt und dann wird die erste Kleberschicht mit einem Verfahren aufgelöst, welches die zweite Kleberschicht nicht angreift. Die über den Trägerfilm zusammenhängenden Chips können so vom Trägersubstrat gemeinsam abgehoben werden und, nach dem Auflösen der zweiten Kleberschicht, einzeln vom Trägerfilm entnommen werden. Der Wafer kann alternativ auch vor dem Sägen auf der Rückseite mit einem durchgehenden Trägerfilm mittels einer zweiten Kleberschicht beklebt werden. Auch in diesem Fall wird die erste Kleberschicht unter Erhalt der zweiten Kleberschicht aufgelöst und es werden dann die einzelnen durch den Trägerfilm verstärkten Chips vom Trägersubstrat abgehoben.</p>		

# **LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Verfahren zum Handhaben von gedünnten Chips zum Einbringen in  
Chipkarten

- 5 Die vorliegende Erfindung betrifft ein Verfahren zum Handhaben von gedünnten Chips zum Einbringen in Chipkarten.

Gedünnte Chips werden seit einiger Zeit bereits zur Herstellung von vertikal integrierten Schaltungsstrukturen (VIC) verwendet.

10

- In der DE 44 33 846 A1 wird hierzu beschrieben, wie bei der Herstellung eines solchen VIC zunächst ein Wafer, hier ein sogenanntes Topsubstrat, mit seiner Vorderseite, d.h. mit der aktiven bzw. funktionalen IC-Fläche, an der sich die Bauelementlagen befinden, mittels einer Klebeschicht auf ein  
15 sogenanntes Handlingssubstrat aufgeklebt und dann von der Rückseite her gedünnt wird. Dieses Dünnen erfolgt z.B. durch naßchemisches Ätzen oder durch mechanisches oder chemomechanisches Schleifen. Ein solches Topsubstrat wird dann mit einer Haftschrift versehen, genau justiert auf ein sogenanntes Bottomsubstrat aufgesetzt und mit diesem verbunden.  
20 Anschließend wird das Handlingssubstrat wieder entfernt.

- Aus der EP 0 531 723 B ist ein ähnliches Verfahren bekannt, bei dem ein erstes Schaltungsbauelement mit seiner aktiven Fläche auf einem Träger befestigt und dann von der Rückseite her gedünnt wird. Anschließend wird  
25 ein weiteres Schaltungsbauelement auf die Rückseite des gedünnten Chips aufgesetzt und mit diesem mittels Kontaktstellen, die zuvor auf der Rückseite des gedünnten Chips erzeugt wurden, verbunden. Dann wird das aufgesetzte Schaltungsbauelement ebenfalls von der Rückseite her gedünnt, mit Kontaktstellen versehen und ein weiteres Schaltungsbauelement  
30 aufgesetzt. Dieser Schritt wird mehrfach wiederholt, bis schließlich die gewünschte Mehrelementepackung von übereinanderliegenden Bauelementen aufgebaut ist.

Alle diese Verfahren beschreiben nur die Handhabung der Chips in einem Verfahrensstadium, in der sie entweder noch nicht gedünnt oder bereits zu einer stabilen Packung aufgebaut sind. Verfahren, mit denen einzelne  
5 gedünnte Chips gehandhabt werden können, um sie in Chipkarten einzubauen, werden nicht angegeben. Insbesondere ist dies auch mit den bisher in der Chipkartenfertigung verwendeten Verfahren und Werkzeugen nicht möglich. Die Verwendung gedünnter Chips ist aber aufgrund ihrer besonderen Flexibilität gerade in den durch Biegung und Torsion häufig  
10 hochbeanspruchten Chipkarten wünschenswert.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren anzugeben, mit dem gedünnte Chips auch einzeln gehandhabt und in Chipkarten  
15 eingebracht werden können.

Diese Aufgabe wird durch ein Verfahren gemäß den Ansprüchen 1, 2 oder 3  
gelöst.

Ausgangspunkt ist jeweils, daß zunächst ein Wafer mit seiner Vorderseite,  
20 an der sich die Bauelemente befinden, mittels einer Kleberschicht auf einem Trägersubstrat aufgeklebt wird. Dieser Wafer wird dann von der Rückseite her gedünnt. Nach dem Dünnen wird der Wafer in einzelne Chips aufgeteilt, indem von der Rückseite aus in den Wafer hineingesägt wird. Das  
Hineinsägen kann bis zur oder bis in die Kleberschicht oder sogar bis in das  
25 Trägersubstrat hinein erfolgen.

Um die Chips nun von dem Trägersubstrat abzuheben und zu vereinzeln bestehen erfindungsgemäß verschiedene Möglichkeiten.

Gemäß Anspruch 1 wird die Kleberschicht aufgelöst und die einzelnen Chips mit einem Saugkopf vom Trägersubstrat abgehoben. Sie werden dann vorzugsweise in einem speziellen Ablagebehälter zur weiteren Verarbeitung abgelegt. Die Chips liegen bei dieser Methode mit ihrer Rückseite nach oben  
5 in den Spezialbehältern. Alternativ können die Chips selbstverständlich auch sofort weiterverarbeitet, beispielsweise sofort auf eine Chipkarte oder Chipkartenfolie aufgesetzt werden.

Anspruch 2 sieht erfindungsgemäß einen weiteren Verfahrensschritt vor, bei dem nach dem Sägen die noch auf dem Trägersubstrat befindlichen  
10 einzelnen Chips auf der Rückseite mit einem durchgehenden Trägerfilm mittels einer zweiten Kleberschicht beklebt werden. Anschließend wird die erste Kleberschicht mit einer Methode aufgelöst, bei der die zweite Kleberschicht erhalten bleibt. Die Chips können dann über den Trägerfilm  
15 zusammenhängend, gemeinsam vom Trägersubstrat abgehoben werden. Anschließend ist dann eine Entnahme der einzelnen Chips vom Trägerfilm möglich, indem die zweite Kleberschicht aufgelöst wird. Auch hier kann die Entnahme mit Hilfe eines Saugkopfes oder dergleichen erfolgen. Bei diesem Verfahren liegt dann die aktive Vorderseite des Chips oben.

20 Nach Anspruch 3 ist erfindungsgemäß vorgesehen, diesen Trägerfilm direkt nach dem Dünnen des Wafers aufzukleben, und dann erst den Wafer in einzelne Chips zu zersägen. Der Film verbleibt beim Einbau in die Chipkarte auf dem einzelnen Chip; der Chip wird somit durch den Trägerfilm verstärkt  
25 und ist auch mit den herkömmlichen Verfahren und Werkzeugen handhabbar. Durch die Verwendung geeigneter, z.B. zähelastischer Materialien für die Trägerfolie, kann diese bei ausreichender Stabilität des Chip-Folien-Verbunds relativ dünn gehalten werden.



Selbstverständlich können auch bei den beiden letztgenannten Verfahren die Chips im Laufe der weiteren Verarbeitung in einem Ablagebehälter zwischengelagert werden.

- 5 Zum Lösen der ersten Kleberschicht bei gleichzeitigem Erhalt der zweiten Kleberschicht gibt es verschiedene Möglichkeiten, die jeweils von den Eigenschaften der verwendeten Klebersorten abhängen. Bevorzugte Methoden sind in den Unteransprüchen beschrieben.
- 10 Alternativ ist es prinzipiell auch möglich, daß gemeinsam mit der Kleberschicht zwischen Wafer und Trägersubstrat, oder auch anstelle dieser Kleberschicht, das Trägersubstrat selbst aufgelöst wird. Es versteht sich von selbst, daß hierzu bei den Verfahren gemäß Anspruch 2 oder 3 eine Methode gewählt wird, bei der die zweite Kleberschicht nicht angegriffen wird.
- 15 Die mit den erfindungsgemäßen Verfahren sicher und einfach handhabbaren dünneren Chips sind flexibler und benötigen weniger Raum als die herkömmlichen Chips. Damit sind neue Möglichkeiten eröffnet, die Chips in den Chipkarten unterzubringen.
- 20 Hier ist zunächst zu unterscheiden zwischen den Verfahren, bei denen die Chips mit ihrer Vorderseite auf eine z.B. bereits mit Leiterbahnen versehene Chipkartenfolie oder die Chipkarte aufgesetzt werden (Flip-Chip Technologie), und den Verfahren, bei denen die Chips mit ihrer Rückseite
- 25 auf die Chipkartenfolie oder die Chipkarte aufgesetzt und dann an den Chip die Leiterbahnen angeschlossen werden. Welche Methode günstiger ist, hängt unter anderem davon ab, welches der vorgenannten Verfahren zur Abnahme der gedünnten Chips vom Trägersubstrat verwendet wird, d.h. in welche Richtung die Chips bereits orientiert sind.

Bei den Verfahren, bei denen die Chips von der Rückseite aus gehandhabt werden müssen, ist es vorteilhaft, wenn auf der Rückseite der Chips bzw. auf dem Trägerflim Positionsmarken aufgebracht werden. Anhand dieser Markierungen ist eine exakte Ausrichtung des Chips auf der Chipkarte  
5 möglich. Als Positionsmarkierung bietet es sich an, die Schaltungsstruktur des Chips abzubilden.

Eine Einbaumöglichkeit besteht darin, daß der Chip auf eine Chipkartenfolie aufgebracht wird, die auf der dem Chip gegenüberliegenden Rückseite mit  
10 Kontaktflächen versehen ist, welche wiederum mit dem Chip über Leiterbahnen durch die Folie hindurch verbundenen sind. Dieses so aufgebaute Chipmodul läßt sich dann mit den Kontaktflächen nach außen in eine Kavität einer Chipkarte einbringen, wie das auch bei den bisherigen konventionellen Aufbauten der Chipkarten der Fall ist.

15

Eine Alternative besteht darin, die Chips beim Zusammenlaminieren zweier Chipkartenfolien zwischen die Folien einzubringen.

Bei einem besonders bevorzugten Einbauverfahren wird der Chip jeweils  
20 einfach auf die Oberfläche einer Chipkarte aufgebracht. Vorzugsweise wird der Chip dabei mit seiner Vorderseite nach außen weisend aufgesetzt und anschließend wird die Chipkarte gemeinsam mit dem Chip mit Leiterbahnen versehen.

25 Die Leiterbahnen können hierbei mit einem Präge- oder Druckverfahren, vorzugsweise mit einem Siebdruckverfahren, aufgebracht werden. Aufgrund der geringen Ausmaße des gedünnten Chips trägt dieser an der Oberfläche der Chipkarte kaum auf. Es ist selbstverständlich aber auch möglich, den Chip in einer flachen Kavität in die Oberfläche der Chipkarte

einzubringen. Vorteilhafterweise werden die offen an der Oberfläche befindlichen Chips mit einem Schutzlack überzogen.

- Derartige Chipkarten mit einem außenliegenden gedünnten Chip sind im  
5 Gegensatz zu den konventionellen Chipkarten, bei denen ein herkömmlicher Chip in einem Chipmodul in einer speziellen Kavität untergebracht ist, mit erheblich weniger Verfahrensschritten zu fertigen.

- Bei allen Einbauverfahren ist es sowohl möglich, auf der Chipkarte  
10 außenliegende Kontaktflächen anzubringen, als auch Spulen oder ähnliche Bauteile einzudrucken, so daß eine kontaktlose Datenübermittlung von und zur Chipkarte möglich ist. Ebenso ist eine Kombinationslösung dieser beiden Schnittstellen möglich (Dual Interface).

- 15 Die erfindungsgemäßen Verfahren werden nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die beigefügten Zeichnungen detaillierter beschrieben. Es zeigen schematisch:

- Fig. 1 einen Wafer, der an seiner aktiven Fläche mittels einer  
20 Kleberschicht mit einem Trägersubstrat verbunden ist,

- Fig. 2a einen Wafer gemäß Fig. 1 nach dem Dünnen und Aufteilen in einzelne Chips,

- 25 Fig. 2b zwei Chips des Wafers gemäß Fig. 2a in einem Spezialbehälter,

- Fig. 3a einen gedünnten und gesägten Wafer mit Trägerfilm,

- Fig. 3b einzelne über den Trägerfilm zusammenhängenden Chips,  
30

- Fig. 4a einen gemäß Fig. 1 auf einem Trägersubstrat befestigten und gedünnten Wafer vor dem Zerteilen in einzelne Chips,
- Fig. 4b einen gemäß Fig. 4a hergestellten Chip auf einer Chipkarte,
- 5 Fig. 5 eine Chipkarte mit einem Chipmodul,
- Fig. 6 eine perspektivische Darstellung eines gedünnten Chips mit Positionsmarkierungen,
- 10 Fig. 7 - 9 Varianten einer Chipkarte mit an der Oberfläche aufgebrachten gedünnten Chip und nachträglicher Aufbringung der Anschlußflächen,
- 15 Fig. 10/11 Herstellung einer Chipkarte durch Zusammenlaminieren zweier Kartenfolien,
- Fig. 12/13 Varianten einer Chipkarte mit an der Oberfläche auf bereits vorhandene Anschlußflächen aufgebrachten gedünnten Chip,
- 20 Bei der Durchführung des Verfahrens wird zunächst ein Wafer 1 mit seiner Vorderseite, welche die Bauelemente 2 aufweist, auf ein Trägersubstrat 4 aufgeklebt. Als Trägersubstrat kann z.B. ein anderer Wafer, eine Metallfolie oder magnetisierbare Folie oder eine sonstige, in der Chipkartenherstellung
- 25 übliche Folie wie PVC, ABS, PC oder ähnliches dienen.
- Hierzu wird entweder auf dem Wafer 1 oder auf dem Trägersubstrat 4 eine Kleberschicht 3 aufgetragen und anschließend werden die beiden Teile zusammengefügt.

Der Wafer enthält in üblicher Weise mehrere nebeneinander angeordnete Schaltkreise, die jeweils einen Standard-Chipkartenchip oder auch einen Speicherchip bilden können.

- 5 Der auf dem Trägersubstrat 4 befestigte Wafer 1 wird dann von der Rückseite bis zu einer vorgegebenen Stärke, wie in Fig. 1 durch die gestrichelte Linie 9 dargestellt, gedünnt. Das Dünnen kann mit den herkömmlichen Verfahren, beispielsweise durch Ätzen oder mechanisches Schleifen, erfolgen. Auf diese Weise ist es möglich, den Wafer 1 bzw. die
- 10 daraus gefertigten Chips 10 auf eine Stärke von unter 100 µm, vorzugsweise ca. 20 µm, zu dünnen.

- Gemäß dem in den Fig. 2a und 2b dargestellten Verfahren werden dann in den Wafer 1 von der Rückseite aus bis zur Kleberschicht 3 Sägeschnitte 7
- 15 eingefügt, und somit der Wafer 1 in einzelne Chips 10 unterteilt. Es wird anschließend die Kleberschicht 3 aufgelöst bzw. angelöst, wobei die Chips 10 mit einem Saugkopf 30 vom Trägersubstrat 4 abgehoben und in Spezialbehältern 40 abgelegt werden, wo sie zur weiteren Verarbeitung zur Verfügung stehen. Der Saugkopf 30 für die Entnahme der Dünnchips 10 ist
- 20 relativ flach und weist an der Saugoberfläche mehrere kleine Löcher 31 auf, die über eine Leitung je nach Bedarf mit Saug- bzw. Druckluft zum Ansaugen oder Ablegen der Chips 10 beaufschlagt werden können. Die Chips 10 können den Spezialbehältern 40 in gleicher Weise entnommen und mit einem Roboter bei der Kartenfertigung plaziert werden.

25

Das Lösen der Kleberschicht 3 des Trägersubstrats 4 kann durch Wärmeeinwirkung erfolgen. Hierzu wird z.B. ein beheizbarer Saugkopf 30 oder eine separate Wärmestrahlungsquelle 34, wie in Fig. 4a, verwendet.

Die Fig. 3a und 3b zeigen ein alternatives Verfahren, bei dem letztendlich die aktive Oberfläche mit den Bauelementen 2 der Chips 10 oben liegt. Hierzu wird auf den gedünnten und gesägten Wafer 1 mittels einer zweiten Kleberschicht 6 ein Trägerfilm 5 aufgezogen. Selbstverständlich kann es sich  
5 bei diesem Trägerfilm 5 auch um eine selbstklebende Folie handeln, die bereits mit einer Kleberschicht versehen ist.

Nach Aufbringen dieses Trägerfilms 5 auf die Rückseite des Wafers 1 wird die erste Kleberschicht 3 mit einem Verfahren gelöst, welches die zweite  
10 Kleberschicht 6 nicht angreift.

Hierzu gibt es verschiedene Möglichkeiten. Bei einem ersten bevorzugten Verfahren besteht die erste Kleberschicht 3 aus einem Kleber, der unter Einwirkung von Licht eines bestimmten Längenwellenbereichs,  
15 beispielsweise UV-Licht, zersetzt wird, wobei die zweite Kleberschicht 6 bei dieser Bestrahlung gerade aushärtet. Bei einem zweiten Verfahren besteht die erste Kleberschicht 3 aus einem Kleber, der sich unter Wärmeeinwirkung zersetzt, wobei die zweite Kleberschicht 6 gerade unter der Wärmeeinwirkung aushärtet. Alternativ ist es möglich, daß die erste  
20 Kleberschicht 3 aus einem wasserlöslichen Kleber besteht, während die zweite Kleberschicht 6 nicht wasserlöslich ist, oder die zweite Kleberschicht 6 ist lösemittelresistent und die erste Kleberschicht 3 löst sich bei dem entsprechenden Lösemittel auf. Weiterhin ist es möglich, daß die erste Kleberschicht 3 aus einem Kleber besteht, der unter einem Sauerstoffplasma  
25 oder in einer bestimmten Gasumgebung, z.B. Ozon, zersetzt wird, wobei die zweite Kleberschicht 6 gegenüber diesen Bedingungen resistent ist.

Eine andere Möglichkeit besteht darin, ein Verfahren zu verwenden, mit der gemeinsam mit der Kleberschicht 3 oder auch anstelle der Kleberschicht 3  
30 das Trägersubstrat 4 selbst aufgelöst wird. Das Trägersubstrat 4 kann hierzu

aus Styropor oder einem anderen Material bestehen, welches sich in einem Plasma oder unter Ätzgaseinwirkung oder unter erhöhter Temperatur zersetzt. Oder es wird ein Trägersubstrat 4 aus Karton oder einem ähnlichen Material verwendet, welches wasserlöslich ist.

5

Nach dem Auflösen dieser ersten Kleberschicht 3 bzw. des Trägersubstrats 4, läßt sich dann der gesamte über den Trägerfilm 5 zusammenhängende Verband von Chips 10 gemeinsam abnehmen, wobei die aktive Fläche der Chips 10 nach außen weist. Die einzelnen Chips 10 können dann vom

10 Trägerfilm 5 entnommen werden, indem die zweite Kleberschicht 6 gelöst wird.

Die Fig. 4a und 4b zeigen eine dritte Verfahrensmöglichkeit, bei der zuerst ein Trägerfilm 5 aus einem vorzugsweise zähelastischen Material, wie

15 Polycarbonat, Polyamid, Kupfer, Aluminium, Stahl o.ä., auf die Rückseite des Wafers 1 mittels einer Kleberschicht 6 aufgeklebt wird. Danach erfolgt erst die Unterteilung des Wafers 1 in die einzelnen Chips 10 durch Einfügen der Sägeschnitte 7. Schließlich werden wieder die einzelnen Chips 10 durch Auflösen der ersten Kleberschicht 3 oder des Trägersubstrats 4 entnommen,

20 wobei auch hierzu ein Verfahren angewendet wird, welches die Klebeverbindung zum Trägerfilm 5 nicht angreift. Die hierbei verwendeten Methoden entsprechen den obengenannten Verfahren. In Fig. 4a ist schematisch dargestellt, wie ein einzelner Chip 10 mit einem Saugkopf 30 vom Trägersubstrat 4 entnommen wird, wobei die Auflösung der

25 Kleberschicht 3 durch einen Wärmestrahler 34 erfolgt, wobei gleichzeitig die zweite Kleberschicht 6 aushärtet. Bei diesem Verfahren verbleibt der Trägerfilm 5 auf der Rückseite des einzelnen Dünncip 10.

Die Figuren 5 bis 10 zeigen verschiedene Varianten, wie die gedünnten

30 Chips 10 in der bzw. auf der Chipkarte 20 untergebracht werden können.

Je nach Wahl der Herstellungsmethode nach den Figuren 2, 3 oder 4 ist es sinnvoll, die Chips 10 mit ihrer Vorderseite oder mit ihrer Rückseite auf eine Chipkarte 20 oder eine Chipkartenfolie 21 aufzusetzen. Wird der Chip 10 mit  
5 seiner Vorderseite auf die Chipkarte 20 bzw. Chipkartenfolie 21 aufgesetzt, so ist es zweckmäßig, auf die Karte 20 bzw. Folie 21 zuerst die Leiterbahnen 11 zur Kontaktierung des Chips 10 anzubringen und dann den Chip 10 darauf zu positionieren. Hierzu weist der Chip 10 auf seiner Rückseite, wie in Figur 6 dargestellt, Positionsmarkierungen 8 auf, die beispielsweise auf  
10 den Chip 10 oder auf die Trägerfolie 5 aufgedruckt oder eingätzt sind.

Figur 5 beschreibt ein Einbaubeispiel, welches ähnlich den bekannten Einbauverfahren konventioneller Chipmodule ist. Hierbei wird der Chip 10 zunächst auf eine erste Chipkartenfolie 21 aufgesetzt. Auf der  
15 gegenüberliegenden Rückseite der Chipkartenfolie 21 befinden sich Kontaktflächen 23, die mit dem Chip 10 über Leiterbahnen 11 durch die Chipkartenfolie 21 hindurch mittels Leitkleber verbunden sind. Zwischen dem Chip 10 und der ersten Chipkartenfolie 21 kann sich eine Unterteilung 15 befinden. Dieses so aufgebaute Chipmodul wird in eine entsprechende  
20 Kavität 24 der Chipkarte 20 eingesetzt und ringsum mit einem geeigneten Kleber 25 verklebt.

Die Figuren 10 und 11 zeigen verschiedene Laminierverfahren, bei denen der Chip 10 zwischen zwei Chipkartenfolien 21 und 22 in der Chipkarte 20  
25 angeordnet wird. Die Chipkartenfolien 21, 22 haben typischerweise eine Stärke von 100 - 300 µm. Bei dem Verfahren gemäß Figur 10a wird der Chip 10 auf die eine Chipkartenfolie 21 aufgebracht und die Leiterbahnen 11 befinden sich auf der anderen Chipkartenfolie 22. Der Chip 10 ist hierbei mit seiner Rückseite auf die Chipkartenfolie 21 aufgebracht. Anschließend  
30 werden die beiden Chipkartenfolien passend übereinander positioniert und



zusammenlaminiert, so daß der Chip 10 durch die Leiterbahnen 11 kontaktiert wird (Fig. 10b).

- Bei dem Verfahren gemäß Fig. 11a werden auf die eine Chipkartenfolie 21  
5 zunächst Leiterbahnen 11 aufgebracht. Auf diese Leiterbahnen 11 wird dann der Chip 10 mit seiner Vorderseite nach unten aufgelegt, so daß gleichzeitig die Kontaktierung erfolgt. Anschließend wird die zweite Chipkartenfolie 22 darüber laminiert (Fig. 11b).
- 10 Die Leiterbahnen führen jeweils zu einer außenliegenden Kontaktfläche oder aber zu einem Interface-Bauelement, mit dem eine kontaktlose Datenübertragung möglich ist, oder sie bilden selbst ein solches Bauelement. Um beim Laminierverfahren den Chip 10 bis zum Abdecken mit der zweiten Chipkartenfolie 22 auf der ersten Chipkartenfolie 21 zu halten, kann die  
15 Oberfläche der ersten Chipkartenfolie 21 durch ein Sauerstoff- oder Chlorplasma vorbehandelt werden, so daß der Chip 10 bis zur Abdeckung und zum Laminieren darauf gebondet haftet. Bei dem Verfahren gemäß den Fig. 11a und 11b kann die Oberfläche auch mit einer Silberleitpaste bedruckt sein, welche gleichzeitig die Leiterbahnen 11 bildet, so daß der Chip 10 bis  
20 zur Abdeckung und zum Laminieren auf der Chipkartenfolie 21 haftet und gleichzeitig elektrisch kontaktiert wird.

- Selbstverständlich ist es auch möglich auf dem gedünnten Chip 10 einen Kleber aufzubringen oder als Chipkartenfolie 21 eine kleberbeschichtete  
25 Folie zu verwenden. Insbesondere bei der Herstellung der Chips 10 nach dem Verfahren, wie es in den Fig. 3a und 3b dargestellt ist, ist es möglich, den Chip 10 direkt vom Trägerfilm 5 durch Anlösen des Klebers abzuheben und mit diesem Kleber auf die Chipkartenfolie 21 aufzukleben, wo der Kleber dann wieder abbinden kann.

In den Fig. 7, 8 und 9 ist ein vollständig neues Verfahren dargestellt, bei dem der gedünnte Chip einfach an der Oberfläche einer Chipkarte aufgesetzt und anschließend mit Leiterbahnen 11 bedruckt wird. Der Chip 10 wird außerdem mit einem Schutzlack 12 überzogen. Zum Drucken der  
5 Leiterbahnen 11 wird vorzugsweise ein Siebdruckverfahren verwendet. Es ist selbstverständlich auch möglich, die Leiterbahnen 11 in Form einer Metallfolie aufzubringen.

In den Fig. 12 a bis 12c sind Ausführungsformen dargestellt, bei denen  
10 zunächst die Leiterbahnen auf die Oberfläche aufgebracht und anschließend der Chip mit der Vorderseite nach unten auf die Anschlußflächen 11 gesetzt wird. In Fig. 12b ist eine zusätzliche Lack und/oder Klebeschicht 13 zwischen integriertem Schaltkreis 10 und der Oberfläche der Chipkarte 20 angeordnet, während in Fig. 12c Die Chip/Leiterbahnanordnung 10, 11 mit  
15 einem Heizstempel 14 in die Kartenoberfläche eingedrückt wird.

In den Fig. 8 und 9 befindet sich der Dünnchip 10 ebenfalls direkt an der Oberfläche der Chipkarte 20, hier jedoch in einer kleinen Kavität 27. Diese Kavität 27 ist entweder in die Chipkarte 20 eingeprägt, gefräst oder beim  
20 Herstellen der Chipkarte 20 gleich mit angespritzt worden (Fig. 8). Alternativ wird die Kavität 27 durch eine entsprechende Bedruckung mit Schutzlack 26 oder durch Aufziehen einer Schutzfolie mit Fenster erzeugt (Fig. 9).

25 Entsprechende Anordnungen, bei denen zunächst die Kontaktflächen 11 in die Aussparungen der Oberfläche der Chipkarte 20 angeordnet werden, auf die dann der Chip 10 gesetzt wird, sind in den Fig. 13a bis 13c dargestellt.

In dem in Fig. 13 c dargestellten Ausführungsbeispiel wird der Chip unter  
30 Wärmeeinwirkung bündig in die Oberfläche der Chipkarte 20 eingepreßt.

Bei einer Ausführung gemäß Fig. 7 (Anschlußflächen 11 noch nicht vorhanden) kann die Folie mit dem bündig mit der Oberfläche abschließenden Chip beispielsweise mit Silberpaste bedruckt, beschichtet und eventuell gleichzeitig kontaktiert werden.

5

Bei all diesen letztgenannten Einbaubeispielen, mit einem offen an der Oberfläche der Chipkarte befindlichen Chip, handelt es sich um einen neuen und besonders vorteilhaften Aufbau, der mit relativ wenigen Verfahrensschritten, verglichen mit den herkömmlichen Verfahren,

10 herzustellen ist.

## Patentansprüche

1. Verfahren zum Handhaben von gedünnten Chips (10) zum Einbringen in Chipkarten (20) mit folgenden Verfahrensschritten:

- 5       - Aufkleben eines Wafers (1) mit seiner Vorderseite auf ein Trägersubstrat (4) mittels einer Kleberschicht (3),
- Dünnen des Wafers (1) von der Rückseite her,
- Aufteilen des Wafers (1) in einzelne Chips (10) durch Sägen des Wafers (1) von der Rückseite aus bis zur oder bis in die Kleberschicht
- 10       (3) oder bis in das Trägersubstrat (4) hinein,
- Auflösen der Kleberschicht (3),
- Abheben der einzelnen Chips (10) vom Trägersubstrat (4) mit einem Saugkopf (30) zur Ablage in einen speziellen Ablagebehälter (40) und/oder zur weiteren Verarbeitung.

15

2. Verfahren zum Handhaben von gedünnten Chips (10) zum Einbringen in Chipkarten (20) mit folgenden Verfahrensschritten:

- Aufkleben eines Wafers (1) mit seiner Vorderseite auf ein Trägersubstrat (4) mittels einer Kleberschicht (3),
- 20       - Dünnen des Wafers (1) von der Rückseite her,
- Aufteilen des Wafers (1) in einzelne Chips (10) durch Sägen des Wafers (1) von der Rückseite aus bis zur oder bis in die Kleberschicht (3) oder bis in das Trägersubstrat (4) hinein,
- Bekleben der aus dem Wafer (1) gesägten Chips (10) auf ihrer
- 25       Rückseite mit einem durchgehenden Trägerfilm (5) mittels einer zweiten Kleberschicht (6),
- Auflösen der ersten Kleberschicht (3) mit einem Verfahren, welches die zweite Kleberschicht (6) nicht angreift,
- Abheben der über den Trägerfilm (5) zusammenhängenden Chips (10)
- 30       vom Trägersubstrat (4) gemeinsam mit dem Trägerfilm (5),
- Auflösen der zweiten Kleberschicht (6) und Abheben der einzelnen Chips (10) vom Trägerfilm (5).

3. Verfahren zum Handhaben von gedünnten Chips (10) zum Einbringen in Chipkarten (20) mit folgenden Verfahrensschritten:
- Aufkleben eines Wafers (1) mit seiner Vorderseite auf ein
  - 5 Trägersubstrat (4) mittels einer Kleberschicht (3),
  - Dünnen des Wafers (1) von der Rückseite her,
  - Bekleben des Wafers (1) auf der Rückseite mit einem durchgehenden
  - 10 Trägerfilm (5) mittels einer zweiten Kleberschicht (6),
  - Aufteilen des Wafers (1) in einzelne Chips (10) durch Sägen des
  - Wafers (1) mit dem aufgeklebten Trägerfilm (5) von der Rückseite des
  - Wafers (1) her bis zur oder bis in die erste Kleberschicht (3) oder bis in
  - das Trägersubstrat (4) hinein,
  - Auflösen der ersten Kleberschicht (3) mit einem Verfahren, welches
  - 15 die zweite Kleberschicht (6) nicht angreift,
  - Abheben der einzelnen Chips (10) vom Trägersubstrat (4) gemeinsam
  - mit dem Trägerfilm (5).
4. Verfahren nach einem der Ansprüche 2 oder 3, **dadurch gekennzeichnet, daß** die erste Kleberschicht (3) aus einem Kleber besteht,
- 20 der unter Einwirkung von Licht eines bestimmten Wellenlängenbereichs zersetzt wird, und die zweite Kleberschicht (6) aus einem Kleber besteht, der unter Einwirkung dieses Lichts aushärtet.
5. Verfahren nach einem der Ansprüche 2 oder 3, **dadurch gekennzeichnet, daß** die erste Kleberschicht (3) aus einem Kleber besteht,
- 25 der unter Wärmeeinwirkung zersetzt wird, und die zweite Kleberschicht (6) aus einem Kleber besteht, der unter Wärmeeinwirkung aushärtet.
6. Verfahren nach einem der Ansprüche 2 oder 3, **dadurch gekennzeichnet, daß** die erste Kleberschicht (3) aus einem wasserlöslichen
- 30

Kleber besteht und/oder die zweite Kleberschicht (6) aus einem Kleber besteht, der lösemittelresistent ist.

7. Verfahren nach einem der Ansprüche 2 oder 3, **dadurch gekennzeichnet, daß** die erste Kleberschicht (3) aus einem Kleber besteht, der unter einem Sauerstoffplasma oder in einer bestimmten Gasumgebung zersetzt wird, und die zweite Kleberschicht (6) aus einem Kleber besteht, der gegenüber diesen Bedingungen resistent ist.
- 5
8. Verfahren nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet, daß** gemeinsam mit der Kleberschicht (3) zwischen dem Wafer (1) und dem Trägersubstrat (4) und/oder anstelle dieser Kleberschicht (3) das Trägersubstrat (4) aufgelöst wird.
- 10
9. Verfahren nach Anspruch 8, **dadurch gekennzeichnet, daß** das Trägersubstrat (4) aus einem Material besteht, welches sich in einem Plasma und/oder unter Gaseinwirkung und/oder unter erhöhter Temperatur zersetzt und/oder wasserlöslich ist.
- 15
10. Verfahren nach einem der Ansprüche 1 bis 9, **dadurch gekennzeichnet, daß** auf der Rückseite der Chips (10) und/oder des Trägerfilms (5) Positionsmarken (8) aufgebracht werden.
- 20
11. Verfahren nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet, daß** die Chips (10) jeweils mit ihrer Vorderseite auf eine mit Leiterbahnen (11) versehene erste Chipkartenfolie (21) aufgebracht werden.
- 25
12. Verfahren nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet, daß** die Chips (10) jeweils mit ihrer Rückseite auf eine erste Chipkartenfolie (21) aufgebracht und mit Leiterbahnen (11) kontaktiert werden.
- 30

13. Verfahren nach Anspruch 11 oder 12, **dadurch gekennzeichnet, daß** die erste Chipkartenfolie (21) auf der dem Chip (10) gegenüberliegenden Oberfläche mit Kontaktflächen (23) versehen ist, die mit dem Chip (10) über die Leiterbahnen (11) verbundenen sind, und dieses so aufgebaute Chipmodul mit den Kontaktflächen (23) nach außen in eine Kavität (24) einer Chipkarte (20) eingebracht wird.
14. Verfahren nach Anspruch 11 oder 12, **dadurch gekennzeichnet, daß** die erste Chipkartenfolie (21) mit dem Chip (10) mit einer zweiten Chipkartenfolie (22) bedeckt wird und die beiden Chipkartenfolien (21, 22) zusammenlaminiert werden.
15. Verfahren nach Anspruch 14, **dadurch gekennzeichnet, daß** die erste Chipkartenfolie (21) vorbehandelt wird, so daß der Chip (10) bis zum Abdecken mit der zweiten Chipkartenfolie (22) auf der ersten Chipkartenfolien (21) haftet.
16. Verfahren nach Anspruch 15, **dadurch gekennzeichnet, daß** die erste Chipkartenfolie (21) mit einer haftenden Leitpaste bedruckt wird, so daß der Chip (10) bis zum Abdecken mit der zweiten Chipkartenfolie (22) auf der ersten Chipkartenfolien (21) haftet und gleichzeitig elektrisch kontaktiert ist.
17. Verfahren nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet, daß** die Chips (10) jeweils mit ihrer Rückseite auf eine erste Chipkartenfolie (21) aufgebracht werden und die erste Chipkartenfolie (21) mit dem Chip (10) mit einer zweiten Chipkartenfolie (22) bedeckt wird, welche an den entsprechenden Positionen mit Leiterbahnen (11) versehen ist, und die beiden Chipkartenfolien (21, 22) zusammenlaminiert werden.

18. Verfahren zum Einbringen eines gedünnten Chips (10) in eine Chipkarte (20), insbesondere nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet, daß** der Chip (10) außenliegend auf eine Oberfläche der Chipkarte (20) aufgebracht wird.
- 5
19. Verfahren nach Anspruch 18, **dadurch gekennzeichnet, daß** der Chip (10) mit seiner Vorderseite nach außenweisend auf die Oberfläche der Chipkarte (20) aufgebracht und mit Leiterbahnen (11) versehen wird.
- 10
20. Verfahren nach Anspruch 18 oder 19, **dadurch gekennzeichnet, daß** der Chip (10) in eine Kavität (27) in der Oberfläche der Chipkarte (20) eingebracht wird.
- 15
21. Verfahren nach einem der Ansprüche 18 bis 20, **dadurch gekennzeichnet, daß** der Chip (10) unter Wärmeeinwirkung bündig in die Oberfläche der Chipkarte (20) eingepreßt wird.
- 20
22. Verfahren nach einem der Ansprüche 18 bis 21, **dadurch gekennzeichnet, daß** der an der Oberfläche der Chipkarte (20) befindliche Chip (10) mit einem Schutzlack (12) überzogen wird.
- 25
23. Verfahren nach einem der Ansprüche 11 bis 22, **dadurch gekennzeichnet, daß** die Leiterbahnen (11) mittels eines Druck- oder Prägeverfahrens aufgebracht werden.
- 30
24. Verfahren nach Anspruch 2 und einem der Ansprüche 12 bis 23, **dadurch gekennzeichnet, daß** der Chip (10) vom Trägerfilm (5) abgehoben und auf die Chipkartenfolie (21) oder die Oberfläche der Chipkarte (20) aufgesetzt wird.



25. Verfahren nach Anspruch 24, **dadurch gekennzeichnet, daß** der Chip (10) mittels des Klebers der aufgelösten zweiten Kleberschicht (6) auf die Kartenfolie (20) aufgeklebt wird.
- 5 26. Verfahren nach Anspruch 25, **dadurch gekennzeichnet, daß** der Chip (10) mit einem Saugkopf (30) von der Trägerfolie (5) abgehoben und auf die Kartenfolie (20) aufgebracht wird, wobei die zweite Kleberschicht (6) unter Wärmeeinwirkung gelöst wird.
- 10 27. Chipkarte (20) mit mindestens einem gedünnten Chip (10), welcher auf einer Oberfläche der Chipkarte (20) angeordnet ist.
28. Chipkarte nach Anspruch 27, **dadurch gekennzeichnet, daß** der Chip (10) mit seiner Vorderseite nach außen auf der Chipkarte (20) angeordnet ist,  
15 und außenseitig auf der Chipkarte (20) und dem Chip (10) Leiterbahnen (11) aufgebracht sind.
29. Chipkarte nach Anspruch 27 oder 28, **dadurch gekennzeichnet, daß** die Leiterbahnen (11) aufgedruckt sind.
- 20 30. Chipkarte nach einem der Ansprüche 27 bis 29, **dadurch gekennzeichnet, daß** der Chip (10) in einer Kavität (27) in der Oberfläche der Chipkarte (20) angeordnet ist.
- 25 31. Chipkarte nach einem der Ansprüche 27 bis 30, **dadurch gekennzeichnet, daß** der Chip (10) bündig in die Oberfläche der Chipkarte (20) eingepreßt ist.
32. Chipkarte nach einem der Ansprüche 27 bis 31, **dadurch**  
30 **gekennzeichnet, daß** der Chip (10) mit einem Schutzlack (12) überzogen ist.

FIG. 1

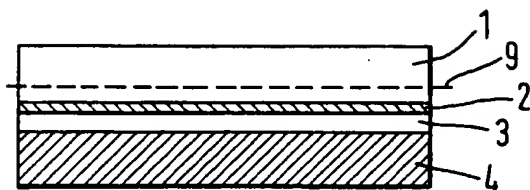


FIG. 2a

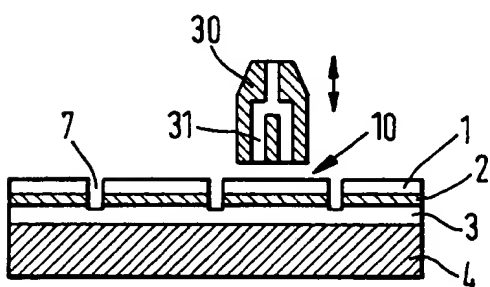


FIG. 2b

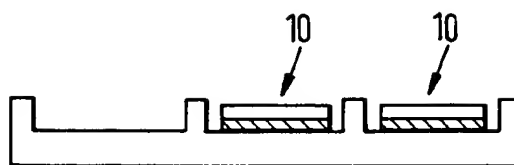


FIG. 3a

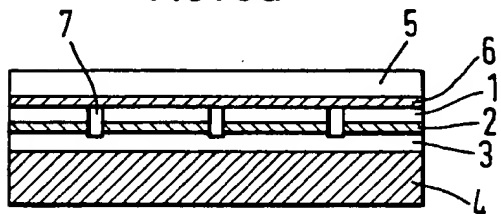


FIG. 3b

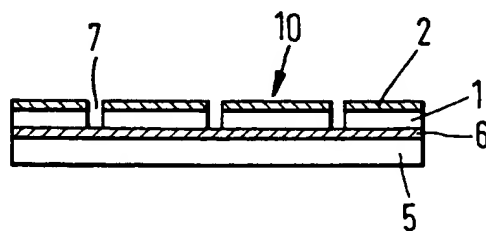


FIG. 4a

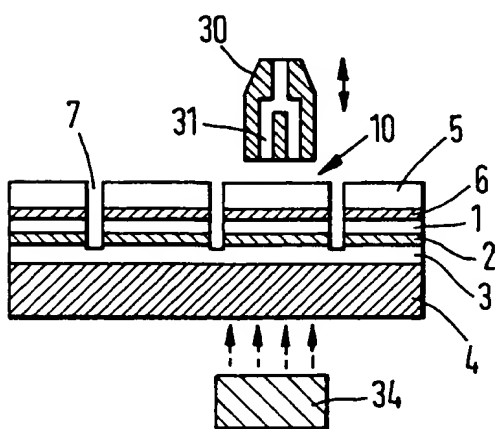


FIG. 4b

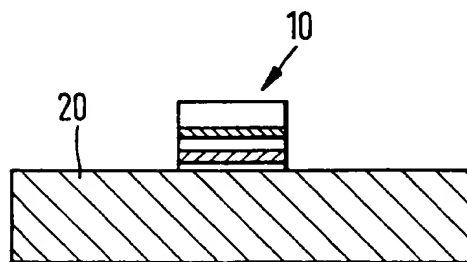


FIG. 5

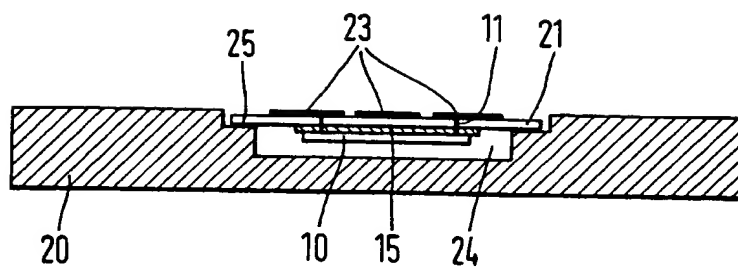


FIG. 6

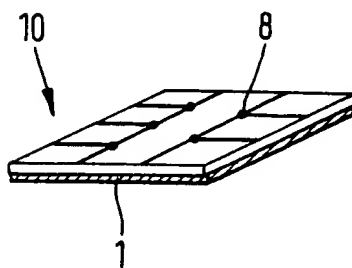


FIG. 7

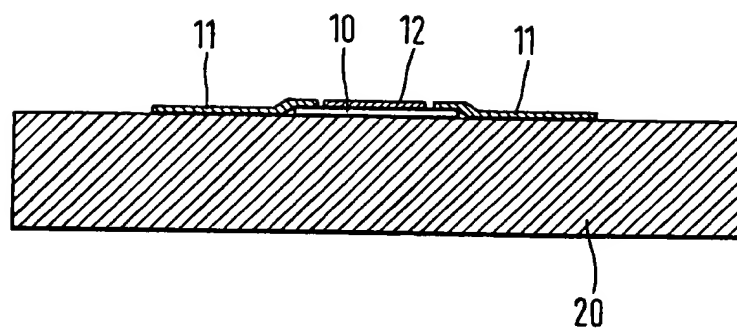


FIG. 8

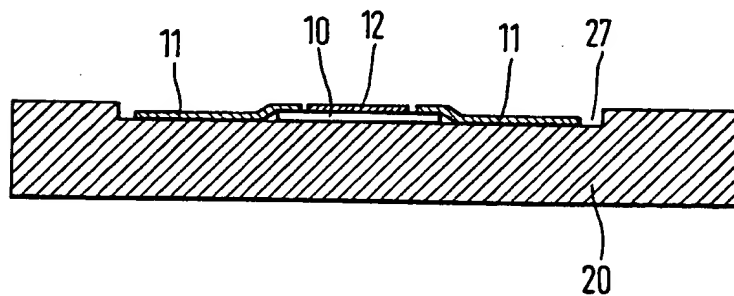


FIG. 9

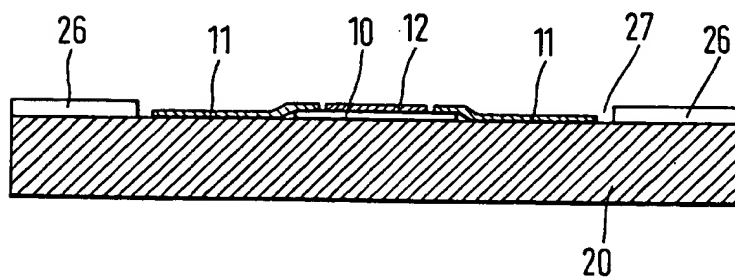


FIG. 10a

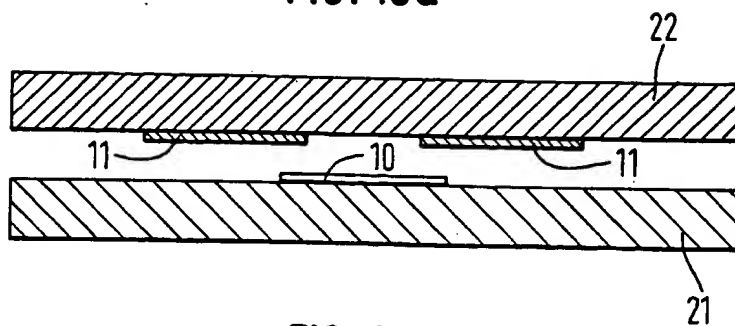


FIG. 10b

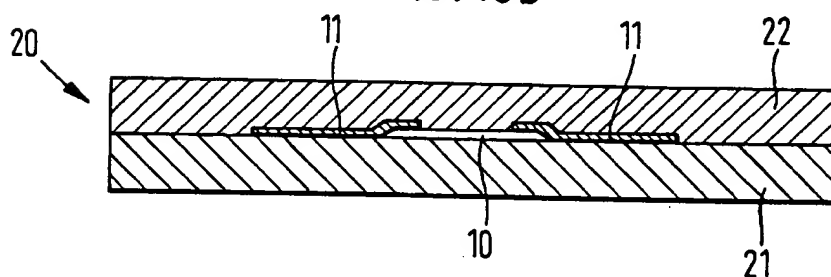


FIG. 11a

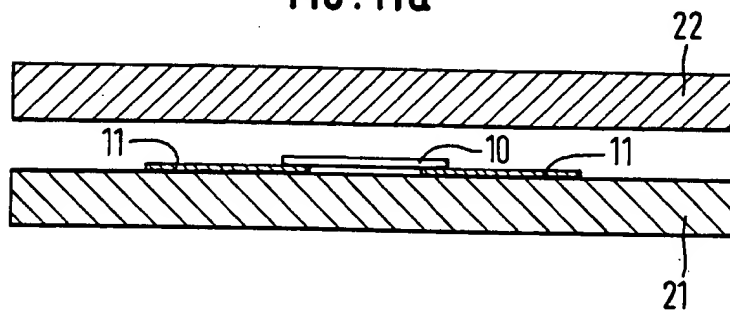


FIG. 11b

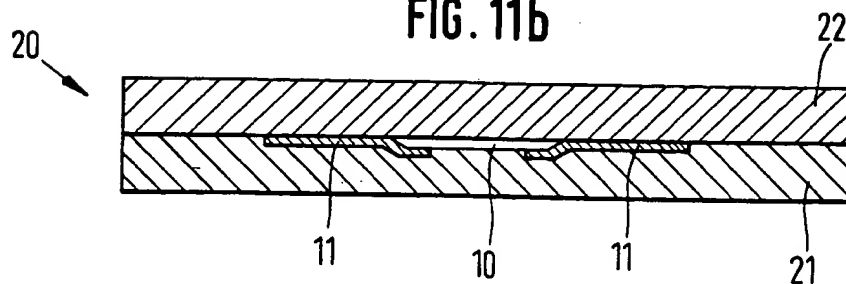


FIG. 12a

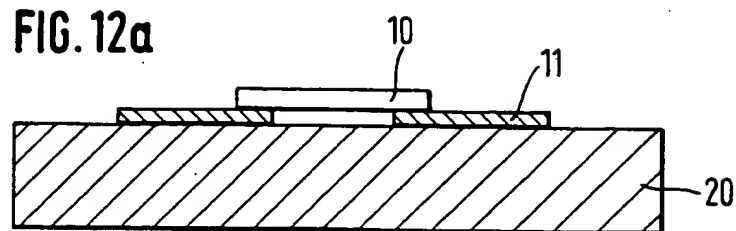


FIG. 12b

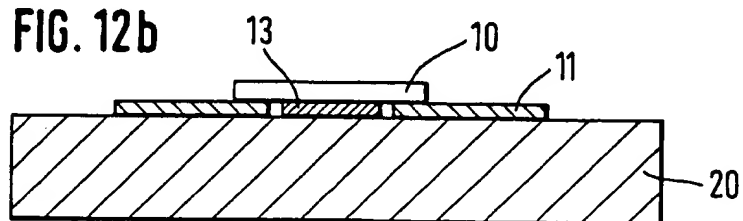


FIG. 12c

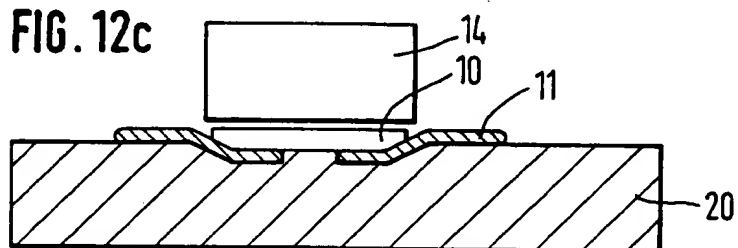


FIG. 13a

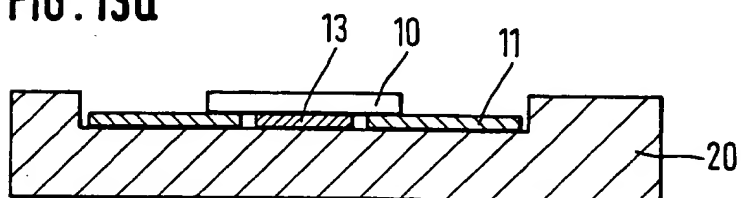


FIG. 13b

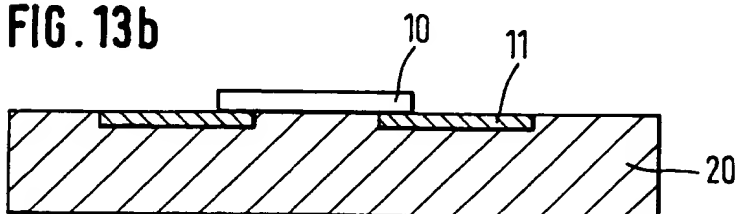
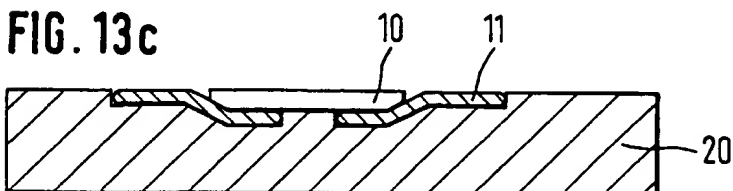


FIG. 13c



# INTERNATIONAL SEARCH REPORT

In ational Application No

PCT/EP 00/03988

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/78 H01L21/52

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, INSPEC

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 475 259 A (SUMITOMO ELECTRIC INDUSTRIES) 18 March 1992 (1992-03-18) the whole document ---	1
X	US 5 268 065 A (GRUPEN-SHEMANSKY MELISSA E) 7 December 1993 (1993-12-07) the whole document ---	1
X	EP 0 824 301 A (HITACHI LTD) 18 February 1998 (1998-02-18) the whole document ---	27-29
X	US 5 192 682 A (KODAI SYOJIRO ET AL) 9 March 1993 (1993-03-09) the whole document ---	27
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

27 September 2000

Date of mailing of the international search report

05/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Königstein, C

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 00/03988

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 2 221 470 A (FSK KK) 7 February 1990 (1990-02-07) the whole document ----	
A	US 4 457 798 A (HOPPE JOACHIM ET AL) 3 July 1984 (1984-07-03) the whole document ----	
P,X	WO 99 48137 A (STROMBERG MICHAEL) 23 September 1999 (1999-09-23) the whole document -----	1



# INTERNATIONAL SEARCH REPORT

Information on patent family members

In. ational Application No

PCT/EP 00/03988

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0475259 A	18-03-1992	JP 2610703 B	14-05-1997
		JP 4115528 A	16-04-1992
		AU 649063 B	12-05-1994
		AU 8353891 A	12-03-1992
		CA 2050675 A	06-03-1992
		DE 69112545 D	05-10-1995
		DE 69112545 T	02-05-1996
		DK 475259 T	15-01-1996
		KR 9402915 B	07-04-1994
		US 5122481 A	16-06-1992
US 5268065 A	07-12-1993	EP 0603514 A	29-06-1994
		JP 6224095 A	12-08-1994
EP 0824301 A	18-02-1998	JP 10112586 A	28-04-1998
US 5192682 A	09-03-1993	JP 2874279 B	24-03-1999
		JP 4017343 A	22-01-1992
		FR 2663783 A	27-12-1991
GB 2221470 A	07-02-1990	JP 1049754 B	25-10-1989
		JP 1576987 C	24-08-1990
		JP 62205179 A	09-09-1987
		JP 1608022 C	13-06-1991
		JP 2014384 B	06-04-1990
		JP 62205180 A	09-09-1987
		JP 1638457 C	31-01-1992
		JP 2058306 B	07-12-1990
		JP 63017980 A	25-01-1988
		JP 1603517 C	04-04-1991
		JP 2015594 B	12-04-1990
		JP 62153375 A	08-07-1987
		JP 1056112 B	28-11-1989
		JP 1712427 C	11-11-1992
		JP 62153376 A	08-07-1987
		JP 1608021 C	13-06-1991
		JP 2015595 B	12-04-1990
		JP 62153377 A	08-07-1987
		GB 2221468 A,B	07-02-1990
		GB 2221469 A,B	07-02-1990
		SG 114392 G	24-12-1992
		SG 114592 G	24-12-1992
		SG 114692 G	24-12-1992
		DE 3639266 A	02-07-1987
		FR 2592390 A	03-07-1987
		GB 2184741 A,B	01-07-1987
		HK 105492 A	08-01-1993
		HK 105592 A	08-01-1993
		HK 105692 A	08-01-1993
		HK 105792 A	08-01-1993
		KR 9107086 B	16-09-1991
		NL 8603269 A,B,	16-07-1987
		NL 9302147 A	05-04-1994
		NL 9302148 A	05-04-1994
		NL 9302149 A	05-04-1994
		NL 9302150 A,B,	05-04-1994
		PH 23580 A	11-09-1989
		SG 114492 G	24-12-1992

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 00/03988

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB 2221470 A		US 4965127 A	23-10-1990
		US 5187007 A	16-02-1993
		US 4756968 A	12-07-1988
US 4457798 A	03-07-1984	DE 3122981 A	05-01-1983
		BE 893454 A	01-10-1982
		CH 655907 A	30-05-1986
		FR 2507800 A	17-12-1982
		GB 2100669 A,B	06-01-1983
		IT 1151612 B	24-12-1986
		JP 1729187 C	29-01-1993
		JP 57210494 A	24-12-1982
		JP 63042314 B	23-08-1988
		NL 8202056 A,B,	03-01-1983
		SE 456544 B	10-10-1988
		SE 8203562 A	11-12-1982
WO 9948137 A	23-09-1999	DE 19811115 A	16-09-1999
		AU 3144899 A	11-10-1999

# INTERNATIONALER RECHERCHENBERICHT

In ationales Aktenzeichen

PCT/EP 00/03988

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/78 H01L21/52

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, INSPEC

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 475 259 A (SUMITOMO ELECTRIC INDUSTRIES) 18. März 1992 (1992-03-18) das ganze Dokument ---	1
X	US 5 268 065 A (GRUPEN-SHEMANSKY MELISSA E) 7. Dezember 1993 (1993-12-07) das ganze Dokument ---	1
X	EP 0 824 301 A (HITACHI LTD) 18. Februar 1998 (1998-02-18) das ganze Dokument ---	27-29
X	US 5 192 682 A (KODAI SYOJIRO ET AL) 9. März 1993 (1993-03-09) das ganze Dokument ---	27
	--- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

27. September 2000

Absenddatum des internationalen Recherchenberichts

05/10/2000

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt; P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Königstein, C

# INTERNATIONALER RECHERCHENBERICHT

In ationales Aktenzeichen

PCT/EP 00/03988

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	GB 2 221 470 A (FSK KK) 7. Februar 1990 (1990-02-07) das ganze Dokument ----	
A	US 4 457 798 A (HOPPE JOACHIM ET AL) 3. Juli 1984 (1984-07-03) das ganze Dokument ----	
P,X	WO 99 48137 A (STROMBERG MICHAEL) 23. September 1999 (1999-09-23) das ganze Dokument -----	1

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

In nationales Aktenzeichen

PCT/EP 00/03988

Im Recherchenbericht angeführtes Patendokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0475259 A	18-03-1992	JP 2610703 B	14-05-1997
		JP 4115528 A	16-04-1992
		AU 649063 B	12-05-1994
		AU 8353891 A	12-03-1992
		CA 2050675 A	06-03-1992
		DE 69112545 D	05-10-1995
		DE 69112545 T	02-05-1996
		DK 475259 T	15-01-1996
		KR 9402915 B	07-04-1994
		US 5122481 A	16-06-1992
US 5268065 A	07-12-1993	EP 0603514 A	29-06-1994
		JP 6224095 A	12-08-1994
EP 0824301 A	18-02-1998	JP 10112586 A	28-04-1998
US 5192682 A	09-03-1993	JP 2874279 B	24-03-1999
		JP 4017343 A	22-01-1992
		FR 2663783 A	27-12-1991
GB 2221470 A	07-02-1990	JP 1049754 B	25-10-1989
		JP 1576987 C	24-08-1990
		JP 62205179 A	09-09-1987
		JP 1608022 C	13-06-1991
		JP 2014384 B	06-04-1990
		JP 62205180 A	09-09-1987
		JP 1638457 C	31-01-1992
		JP 2058306 B	07-12-1990
		JP 63017980 A	25-01-1988
		JP 1603517 C	04-04-1991
		JP 2015594 B	12-04-1990
		JP 62153375 A	08-07-1987
		JP 1056112 B	28-11-1989
		JP 1712427 C	11-11-1992
		JP 62153376 A	08-07-1987
		JP 1608021 C	13-06-1991
		JP 2015595 B	12-04-1990
		JP 62153377 A	08-07-1987
		GB 2221468 A,B	07-02-1990
		GB 2221469 A,B	07-02-1990
		SG 114392 G	24-12-1992
		SG 114592 G	24-12-1992
		SG 114692 G	24-12-1992
		DE 3639266 A	02-07-1987
		FR 2592390 A	03-07-1987
		GB 2184741 A,B	01-07-1987
		HK 105492 A	08-01-1993
		HK 105592 A	08-01-1993
		HK 105692 A	08-01-1993
		HK 105792 A	08-01-1993
		KR 9107086 B	16-09-1991
		NL 8603269 A,B,	16-07-1987
		NL 9302147 A	05-04-1994
		NL 9302148 A	05-04-1994
		NL 9302149 A	05-04-1994
		NL 9302150 A,B,	05-04-1994
		PH 23580 A	11-09-1989
		SG 114492 G	24-12-1992

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 00/03988

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
GB 2221470 A		US 4965127 A	23-10-1990
		US 5187007 A	16-02-1993
		US 4756968 A	12-07-1988
US 4457798 A	03-07-1984	DE 3122981 A	05-01-1983
		BE 893454 A	01-10-1982
		CH 655907 A	30-05-1986
		FR 2507800 A	17-12-1982
		GB 2100669 A,B	06-01-1983
		IT 1151612 B	24-12-1986
		JP 1729187 C	29-01-1993
		JP 57210494 A	24-12-1982
		JP 63042314 B	23-08-1988
		NL 8202056 A,B,	03-01-1983
		SE 456544 B	10-10-1988
		SE 8203562 A	11-12-1982
WO 9948137 A	23-09-1999	DE 19811115 A	16-09-1999
		AU 3144899 A	11-10-1999